



UNIVERSIDAD TÉCNICA PARTICULAR DE LOJA
La universidad católica de Loja

ÁREA TÉCNICA

**TÍTULO DE INGENIERO EN ELECTRÓNICA Y
TELECOMUNICACIONES**

**Diseñar y caracterizar dispositivos MOSFET 2D con diferentes longitudes
de canal y espesor de óxido**

TRABAJO DE TITULACIÓN

AUTOR: Sr. Flores Carpio, Jackson Francisco.
Sr. Ojeda Ortega, José Vinicio.

DIRECTOR: Dr. Villamagua Conza, Luis Miguel.

LOJA – ECUADOR

2017



Esta versión digital, ha sido acreditada bajo la licencia Creative Commons 4.0, CC BY-NY-SA: Reconocimiento-No comercial-Compartir igual; la cual permite copiar, distribuir y comunicar públicamente la obra, mientras se reconozca la autoría original, no se utilice con fines comerciales y se permiten obras derivadas, siempre que mantenga la misma licencia al ser divulgada. <http://creativecommons.org/licenses/by-nc-sa/4.0/deed.es>

2017

APROBACIÓN DEL DIRECTOR DEL TRABAJO DE TITULACIÓN

Doctor.

Luis Miguel Villamagua Conza.

DOCENTE DE LA TITULACIÓN.

De mi consideración:

El presente trabajo de titulación: Diseñar y caracterizar dispositivos MOSFET 2D con diferentes longitudes de canal y espesor de óxido, realizado por los profesionales en formación: Flores Carpio, Jackson Francisco y Ojeda Ortega, José Vinicio, ha sido orientado y revisado durante su ejecución, por cuanto se aprueba la presentación del mismo.

Loja, Septiembre de 2017

f)

DECLARACIÓN DE AUTORÍA Y CESIÓN DE DERECHOS

Nosotros, Flores Carpio, Jackson Francisco y Ojeda Ortega, José Vinicio declaramos ser autores del presente trabajo de titulación: Diseñar y caracterizar dispositivos MOSFET 2D con diferentes longitudes de canal y espesor de óxido, de la Titulación de Electrónica y Telecomunicaciones, siendo Villamagua Conza, Luis Miguel director del presente trabajo; y eximimos expresamente a la Universidad Técnica Particular de Loja y a sus representantes legales de posibles reclamos o acciones legales. Además, certificamos que las ideas, conceptos, procedimientos y resultados vertidos en el presente trabajo investigativo, son de nuestra exclusiva responsabilidad.

Adicionalmente declaramos conocer y aceptar la disposición del Art. 88 del Estado Orgánico de la Universidad Técnica Particular de Loja que en su parte pertinente textualmente dice: “Forman parte del patrimonio de la Universidad la propiedad intelectual de investigaciones, trabajos científicos o técnicos y tesis de grado o trabajos de titulación que se realicen con el apoyo financiero, académico o institucional (operativo) de la Universidad”

f.

Autor: Flores Carpio Jackson Francisco.

Cédula: 1900391853

f.

Autor: Ojeda Ortega José Vinicio.

Cédula: 1105659062

DEDICATORIA

Este trabajo lo dedico a las personas que más me enseñaron en esta vida, a mis abuelitos Ernesto Carpio y Beatriz Castillo que desde donde estén, sé que aún nos siguen cuidando, a mis padres Juan Flores y Lupe Carpio, porque sin su esfuerzo y dedicación no estuviese hoy realizando este trabajo, a mi hermana Yetzabel y demás familiares, que de una u otra manera me apoyaron en este proceso, finalmente a mis profesores y tutor de investigación.

Ustedes son todo lo que podría necesitar para cumplir cualquier objetivo que me proponga en mi vida, gracias a todos por su apoyo y consejos que necesite en su momento para lograr un paso más en este largo camino, y lograr un peldaño más que es ser ingeniero.

Jackson Francisco Flores Carpio.

Este trabajo va dedicado a mis padres que con tanto esfuerzo han logrado llevarme hasta esta nueva meta, especialmente a mi madre que día a día se trasnocho por verme salir adelante, a mis hermanos que son mi brazo izquierdo que mediante sus consejos y apoyo han sido fundamentales, a mis tíos y abuelos que me han ayudado en todos los sentidos de mi vida, A Dios por ser el guía de mi camino y a mi compañero de tesis el Sr. Jackson Flores que con mucho esfuerzo hemos logrado llevar este trabajo adelante, a mis amigos que de alguna manera me prestaron su ayuda y por ser tantos no quiero cometer el error de no nombrar a alguno, y finalmente a cada persona que supo animarme en el camino de mi carrera, sobre todo a las personas que me enseñaron cada día en las aulas como crecer tanto en la vida personal como en la profesional, principalmente a mi tutor de tesis el Dr. Luis Villamagua el cual nos guio en cada paso para la realización de la misma.

Señor sin ti nada soy, por ti soy lo que soy y gracias a ti dos tesoros tengo, la salud y mi familia.

Gracias Dios por todo lo que me has dado, gracias por no soltar mi mano y mantenerme a tu lado contra vientos y mares.

José Vinicio Ojeda Ortega

AGRADECIMIENTO

Iniciar agradeciendo al Dr. Luis Miguel Villamagua por su paciencia y orientación en este nuevo mundo de investigación, un agradecimiento especial los profesionales que supieron brindarme su apoyo cuando lo necesite, gracias a ustedes por su ayuda, orientación, predisposición, consejos técnicos y colaboración en el desarrollo de esta investigación, un placer haber trabajado conjuntamente con tan excelentes personas.

También agradecer a mis compañeros de estudio y grandes amigos durante este período de mi vida. En particular, Israel, Santiago (Chapa), Esteban, Cristian (Bolo), Ronnier, Juan (Chucho), Dario (Ochoita) y demás, gracias por haber compartido tan gratos momentos durante esta experiencia, por compartir su tiempo, brindarme su ayuda y apoyo en estos 5 años.

Finalmente, agradecer a las personas más importantes en esta gran experiencia y en mi vida, mi familia, quiénes aún están conmigo y quiénes tan solo se adelantaron en este gran camino que todos llamamos vida, gracias por su apoyo, paciencia, consejos y por siempre incentivar me a seguir adelante a pesar de las dificultades que se presentaron a lo largo de todos mis estudios. Estaré siempre en deuda con todos ustedes.

A todos quiénes he mencionado y a quiénes los pude haber olvidado:

“GRACIAS”

Jackson Francisco Flores Carpio.

ÍNDICE DE CONTENIDOS

CARATULA.....	i
APROBACIÓN DEL DIRECTOR DEL TRABAJO DE TITULACIÓN.....	ii
DECLARACIÓN DE AUTORÍA Y CESIÓN DE DERECHOS	iii
DEDICATORIA.....	iv
AGRADECIMIENTO	v
ÍNDICE DE CONTENIDOS	vi
ÍNDICE DE FIGURAS	viii
ÍNDICE DE TABLAS.....	ix
RESUMEN.....	1
ABSTRACT.....	2
INTRODUCCIÓN.....	3
ACRÓNIMOS	6
CAPÍTULO I.....	7
1. ESTADO DEL ARTE.....	7
1.1 Objetivos.	8
1.1.1 Objetivo General.....	8
1.1.2 Objetivos Específicos.....	8
1.2 MOSFET.....	8
1.3 Nodos tecnológicos.	8
1.4 Modelado central.	9
1.5 Método de extracción BSIM4.....	9
1.6 Estructura básica de un MOSFET.....	10
1.7 Proceso de construcción de un MOSFET.	11
1.7.1 Preparación de una oblea.....	11
1.7.2 Oxidación.....	12
1.7.3 Difusión.....	12
1.7.4 Implantación de iones.....	12
1.7.5 Metalización.....	13
1.7.6 Fotolitografía.....	13

1.8	Plataforma de simulación.....	13
CAPÍTULO II.....		14
2.	CARACTERIZACIÓN.....	14
2.1	Voltaje umbral.....	15
2.2	Voltaje drenaje-fuente.....	15
2.3	Corriente drenaje-fuente de saturación.....	16
2.4	Voltaje de saturación.....	16
2.5	Movilidad efectiva.....	17
2.5.1	Cálculo de movilidad efectiva.....	17
2.5.2	Capacitancia del óxido.....	17
2.5.3	Conductancia de drenaje.....	18
2.6	Disminución de barrera inducida por drenaje.....	18
CAPÍTULO III.....		20
3.	DISEÑO Y SIMULACIÓN, RESULTADOS.....	20
3.1	Diseño.....	21
3.2	Simulación.....	22
3.2.1	Preparación de la oblea.....	22
3.2.2	Proceso de oxidación y difusión.....	22
3.2.3	Proceso de fotolitografía.....	23
3.2.4	Proceso de ionización.....	26
3.2.5	Proceso de metalización.....	26
3.3	Resultados obtenidos a partir de simulación.....	27
3.3.1	Cálculo de movilidad efectiva.....	27
3.3.2	Cálculo de DIBL.....	30
3.4	Discusión de resultados.....	31
CONCLUSIONES.....		33
RECOMENDACIONES.....		34
BIBLIOGRAFÍA.....		35
ANEXOS.....		38

ÍNDICE DE FIGURAS

Figura 1.1: Estructura MOS Básica.....	10
Figura 1.2: Estructura del MOSFET	11
Figura 2.1: MOSFET con canal inducido.	15
Figura 2.2: Corriente <i>Drenaje-Fuente</i> de Saturación	16
Figura 2.3: Estrangulamiento del canal.....	16
Figura 2.4: Efecto DIBL.....	19
Figura 3.1: Diseño de transistor.	21
Figura 3.2: (a) Sustrato de Si creado a partir de las etiquetas asignadas, (b) Enmallado del sustrato de Si.	22
Figura 3.3: Dopaje inicial con impurezas de boro.	23
Figura 3.4: (a) Estructura MOSFET con capa de SiO ₂ entre compuerta y sustrato, (b) Dopaje de estructura con compueta.....	24
Figura 3.5: Creación de la compuerta en el dispositivo.	24
Figura 3.6: Depósito de nitrido para crear el aislamiento entre los contactos.....	25
Figura 3.7: Nitrido implantado como aislante junto a la compuerta.	25
Figura 3.8: Deposito de aluminio para crear los contactos.	26
Figura 3.9: MOSFET de enriquecimiento tipo n creado en Sentaurus TCAD.....	27
Figura 3.10: Curva I _{DS} vs. V _{GS} de tecnología de canal 250 nm.	29
Figura 3.11: Curva I _{DS} vs. V _{GS} de tecnología de canal 180 nm.....	30

ÍNDICE DE TABLAS

Tabla 1: Parámetros teóricos de diseño para dispositivos MOSFET	27
Tabla 2: Valores de entrada y salida, obtenidos con un espesor de óxido igual a 31 nm.	28
Tabla 3: Valores de simulación para cálculo de DIBL en la tecnología de 250 nm.	31
Tabla 4: Parámetros para calcular el DIBL en una tecnología de 180nm.....	31

RESUMEN

El objetivo del presente trabajo de titulación es llevar a cabo el diseño y caracterización de dispositivos MOSFET cuando se varia el óxido de compuerta y la longitud del canal en los nodos tecnológicos de 180 nm y 250 nm. Tales tecnologías se simularon siguiendo las directrices proporcionadas en el "International Technology Roadmap for Semiconductors". Los cambios en las características eléctricas para las diferentes configuraciones se atribuyeron a los niveles de dopaje y difusión. Explicamos nuestros resultados en términos de corrientes de saturación, tensión umbral, movilidad efectiva y disminución de barrera inducida por drenaje.

PALABRAS CLAVES:

Movilidad efectiva, MOSFET, diseño de mosfet, transconductancia, dióxido de silicio, tecnología mosfet.

ABSTRACT

The aim of the present research is to carry out the design and characterization of MOSFET devices as their gate oxide thickness and channel length are varied in the 180-nm and 250-nm technologic nodes. Such technologies were simulated by following the guidelines provided in the International Technology Roadmap for Semiconductors. Changes in the electrical characteristics for the different configurations were ascribed both to the doping levels and diffusion levels. We explain our results in terms of drain saturation currents, threshold voltage, effective mobility and drain barrier low induced.

KEYWORDS:

Effective mobility, MOSFET, Mosfet design, transconductance, silicon dioxide, Mosfet technologies.

INTRODUCCIÓN

Motivación.

El primer transistor fue creado en los laboratorios Bell por los científicos John Barden, Walter Brattain y William Shockley, dando a conocer sus resultados preliminares por primera vez en 1948. Estos dispositivos fueron capaces de reemplazar a los tubos de vacío por su reducido tamaño, robustez mecánica, tiempo de vida y no requerir filamentos de corriente. Su uso se incrementó en el año 1950 con la evolución tecnológica, fabricándose 1'000.000 de estos dispositivos para el año 1953, 3'500.000 para el año 1955 y en el año de 1957 alcanzó una cifra de fabricación de 29'000.000 de unidades (Ward, 2009).

En el desarrollo de estos dispositivos el primer material empleado para su fabricación fue el germanio, que es un semiconductor, dado que al aplicar una tensión este no era totalmente conductivo, pero tampoco se volvía completamente un aislante. Para el año 1950 los estudios que se realizaban por las empresas que en aquel entonces lideraban la investigación arrojaron un nuevo elemento para la construcción del transistor, siendo este el silicio (Si), la implementación de este nuevo material se debe a que se esperaba alcanzar un alto rendimiento y mayores temperaturas de trabajo (Ward, 2009). Durante el transcurso de estas investigaciones aparece un nuevo concepto denominado transistor de efecto de campo (Metal-Oxido-Semiconductor, de su acrónimo en inglés MOSFET) (Lukasiak & Jakubowski, 2010), lo cual nos da una idea de su construcción. Este dispositivo a pesar de llevar varios años en el mercado no llegó a ser realmente importante sino hasta mediados de la década de 1960, esto se debe a que principalmente las compañías en aquel entonces centraron su atención en el estudio de transistor bipolar, y que la construcción del MOSFET había presentado problemas específicamente con las capas de óxido. Actualmente esta tecnología es una de las empleadas en los circuitos integrados (CI) ya que su rendimiento ha permitido bajo consumo de energía, lo cual hace que la temperatura disipada sea muy baja (Poole, 2015).

Varios acontecimientos sucedidos en la historia permitieron que el MOSFET de Si se desarrolle al punto que desplazó al transistor bipolar, esto debido a su versatilidad y estructura con silicio estable de alta calidad o dióxido de silicio (SiO_2), que crea una capa de óxido sobre el sustrato de Si. Al ser posible integrar estos transistores en CI conjuntamente con más dispositivos como capacitores o resistores, el tamaño y los precios de un CI disminuirían considerablemente. Bajo los actuales requisitos de la tecnología en cuanto a velocidad de procesamiento y mayor empaquetamiento de dispositivos dentro de la misma área, el

parámetro principal para la evolución del MOSFET es el escalamiento en la variación del espesor del dióxido bajo la compuerta (Ho, 2012).

Las tecnologías para la fabricación de circuitos integrados son una extensión de la tecnología planar. Esta tecnología se la denomina planar por el hecho de que utilizando una sola oblea de silicio se puede difundir impurezas en áreas previamente seleccionadas con el fin de dopar y hacer los dispositivos de canal tipo positivo (tipo p) o tipo negativo (tipo n) (Albella & Martínez-Duart, 1996). En lo que respecta a la fabricación, durante los años 60 se fabricaban a menor escala con menos de 100 componentes en una sola placa, al finalizar la década ya habían logrado la integración a gran escala. La cantidad de componentes por oblea creció en una escala de 1000 a 10000 dispositivos. A mediados de los años 70 empezó la denominada gran escala en la que se tiene una cantidad de más de 10000 componentes en un solo CI. En la actualidad la cantidad de componentes es de varios millones de componentes en un solo CI. Es así que a partir de una oblea de silicio, con un diámetro típico de 10 a 20 cm, se pueden fabricar cientos de CI (Albella & Martínez-Duart, 1996).

Desde la creación del primer transistor se busca reducir cada vez más su tamaño, motivo por el cual uno de los pioneros en investigación de semiconductores y cofundador de INTEL Gordon Moore, crea una ley empírica, misma que dice: los transistores que componen un CI se duplicaran cada dos años, disminuyendo el tamaño del dispositivo y bajando así los costos de producción (Sneed, 2015). Desde entonces sabemos que el tamaño de los transistores se ha reducido exponencialmente a tal punto que han llegado a medir 7nm, esto buscando alcanzar altas velocidades y a su vez alta densidad de empaquetamiento dentro de los CI. Por lo tanto, debido a su reducido tamaño se presentan problemas como los efectos de canal corto (Short-Channel effect), que se debe a la longitud del canal, lo cual produce pérdida de la capacidad de control de la corriente drenaje de saturación I_{DSSat} e incremento de la carga compartida entre drenaje y fuente (Chaudhry & Kumar, 2004).

Dado que en la actualidad se busca reducir el tamaño de estos dispositivos existen centros especializados de investigación en el área de la micro y nano electrónica, como IMEC (Interuniversity Microelectronics Center), este centro de investigación cuenta con el patrocinio tecnológico de casi todos los líderes mundiales en la fabricación de semiconductores entre ellos están: Intel, Samsung, Panasonic, NVIDIA, STMicroelectronics, NXP, Global Foundries, TSMC, Hynix, ASML, Altera, Cadence, Qualcomm, etc. Posee cerca de 1900 investigadores (Artieda, Trojman, Crupi, & Ragnarson, 2012).

Propósito de disertación.

El presente trabajo de investigación tiene como finalidad iniciar con el laboratorio virtual de diseño, construcción y caracterización de dispositivos MOSFET, ya que actualmente la tecnología ha avanzado drásticamente, a tal punto que estos dispositivos se han reducido a un tamaño de 10nm y 7nm (en desarrollo), lo cual ha permitido que sea más eficiente y se aumente la velocidad de transferencia de información. Con fines didácticos es necesario iniciar con un dispositivo de *Si* ya que estos serán la base para en el futuro emplear materiales high-k (ZrO_2 , Y_2O_3 , Al_2O_3 , *grafeno*, HfO_2), los cuales reemplazarán el material empleado en el canal.

Por tal motivo se parte de el estudio de una tecnología existente, misma que permite reproducir sus características, para proceder a realizar una comparación entre un dispositivo ya existente y el diseñado en este trabajo, pretendiendo así mejorar las características del dispositivo simulado que se realizó como ensayo de laboratorio y en futuras investigaciones dentro de este campo.

Para realizar el presente trabajo se realizó recopilación de información en trabajos científicos existentes, libros, repositorios universitarios, informes. De los cuales posteriormente se obtienen parámetros de diseño como: longitud de canal, tamaño del dispositivo, nivel de dopaje, energía de incrustación de impurezas, cálculo matemático para movilidad efectiva de portadores (procedimiento moderado de la capa de inversión). Esto nos permite tener una idea clara en cuanto al diseño y fabricación de un dispositivo MOSFET, para finalmente proceder a su caracterización.

En este trabajo de titulación la información está distribuida en tres capítulos, en el primer capítulo se presentará el estado del arte en el cual se habla sobre el desarrollo tecnológico, diseño y construcción. En el segundo capítulo se mostrará el cálculo de la movilidad, parámetro importante en cuanto al rendimiento de un MOSFET. Este trabajo estará enfocado en el diseño de los MOSFET, buscando mantener un voltaje de umbral (V_{TH}) de 0.7 V o menor. El tercer capítulo, tiene cuatro secciones, en la primera sección se presenta el diseño del dispositivo, la segunda sección muestra el código de simulación del dispositivo en la plataforma Sentaurus TCAD; en la tercera sección presenta los resultados obtenidos a partir de la simulación para las dos tecnologías propuestas (180 nm y 250 nm), en la última sección se muestra la discusión de resultados obtenidos.

ACRÓNIMOS

CI	Circuitos Integrados.
I_D	Corriente de Drenaje.
V_{GS}	Voltaje compuerta-fuente.
A	Amperios.
G	Compuerta.
B	Substrato o sustrato.
D	Drenaje.
S	Fuente.
W	Ancho de compuerta.
L	Longitud del Canal.
n^+	Semiconductor dopado tipo n.
p^+	Semiconductor dopado tipo p.
Si	Silicio.
SiO_2	Dióxido de Silicio.
V_{TH}	Tensión de estrangulamiento.
MOSFET	Metal-Oxide Semiconductor
V_{DS}	Voltaje drenaje-fuente
V_{DSS}	Voltaje drenaje-fuente de saturación
V_P	Voltaje de estrangulamiento
I_{DS}	Corriente drenaje-fuente
μ_{eff}	Movilidad efectiva
L_{eff}	Longitud efectiva
W_{eff}	Ancho efectivo
g_D	Conductancia del drenaje
$qN_I(V_{GS})$	Inversión de carga del canal por unidad de área
C_{OX}	Capacitancia del óxido
t_{OX}	Espesor del óxido
ϵ_{OX}	Permitividad del óxido
ϵ_r	Permitividad eléctrica del material
ϵ_0	Constante de permitividad

CAPÍTULO I

1. ESTADO DEL ARTE.

1.1 Objetivos.

1.1.1 Objetivo General.

- Diseñar y caracterizar dispositivos MOSFET 2D con diferentes longitudes de canal y espesor de óxido.

1.1.2 Objetivos Específicos.

- Diseño y simulación de un dispositivo con distintas longitudes de canal y espesor de óxido.
- Analizar la aparición del DIBL (disminución de barrera inducida por drenaje).
- Analizar características eléctricas de las estructuras: curvas $I_{DS} - V_{GS}$, movilidad de portadores y voltaje de umbral.

1.2 MOSFET.

Hoy en día la microelectrónica está basada en los MOSFET, este dispositivo se comporta como una fuente controlada por voltaje. La estructura MOSFET se puede describir con una geometría simple, la cual consta de una placa conductora, un aislante y una pieza dopada de silicio (Razavi, 2006). A continuación, se detallará más a fondo cada una de las partes del MOSFET.

En el MOSFET la corriente en el drenaje (I_D) está en función de la tensión de compuerta-fuente (V_{GS}). Los MOSFET pueden ser de dos clases: de empobrecimiento y de enriquecimiento. El de empobrecimiento cuenta con un aislante de SiO_2 entre la compuerta y el canal, esto hace que la corriente en la compuerta sea sumamente baja (10^{-12} A), mientras el V_{GS} puede tener cualquier polaridad. Además, cuenta con un canal físico preformado en su estructura. El de enriquecimiento al igual que el de empobrecimiento cuenta con una capa de dióxido de silicio, pero no tiene un canal preformado en su estructura, es decir, el canal no tiene existencia física, sino que se crea a partir de la tensión aplicada, este tipo de transistor se implementa regularmente en los CI por su tamaño y simple construcción (transistores de efecto de campo [archivo PDF], 2002).

1.3 Nodos tecnológicos.

La tecnología MOS (por sus acrónimos en inglés metal oxide semiconductor) ha revolucionado la electrónica, permitiendo cada vez crear CI con mayor cantidad de transistores dentro de una misma área. A este proceso se lo conoce como escalamiento (Ran-Hong, Abbas, & Kwing F., 1992), el cual esta basado en la longitud del canal, permitiendo así

catalogarlos por tecnología, siendo el primero de estos un transistor de $10\ \mu m$ y actualmente encontrarse en desarrollo un dispositivo con una longitud de canal de $7\ nm$.

El International Technology Roadmap for Semiconductor (ITRS) anualmente presenta los avances y proyecciones para las tecnologías de semiconductores, ofreciéndonos datos como: longitud de canal y voltajes de polarización (Hu, 2006, p. 2)

El nodo tecnológico empleado en el año 1997 fue de $250\ nm$ y en el año 1999 un nodo tecnológico de $180\ nm$, tecnologías en las cuales se basa este trabajo de titulación, esto se debe a que se puede observar un cambio significativo en el espesor del óxido al momento de manipular esta variable, así como la alteración de la movilidad al momento de cambiar de tecnología, y también se puede obtener mayor información como: dopajes, temperaturas y movilidad. Empleando tecnologías de menor longitud de canal a $100\ nm$ no se puede observar un cambio a simple vista debido al espesor de óxido que tendrían estos dispositivos. (Shashank, Basak, & Nahar, 2010, pp. 253-255)

1.4 Modelado central.

Actualmente la evolución de la tecnología ha permitido alterar el tamaño y los materiales empleados en el modelo inicial de un transistor, por ejemplo, se cambia el ángulo de incrustación de impurezas, siendo 100° el ángulo por defecto, también se modificó el material de oxidación bajo la compuerta. El modelado central tiene varias formas de modelamiento, siendo la modelación de largo y ancho efectivo del canal la empleada para el desarrollo de este trabajo (Marín Niño de Zepeda, 2010, p. 21).

Dado que el largo del canal es la separación entre las regiones altamente dopadas de drenaje y fuente. Este modelado depende directamente del proceso de construcción, el cual está basado en la longitud del canal, es por esta razón que se conoce como longitud efectiva del canal (Marín Niño de Zepeda, 2010, p. 21).

1.5 Método de extracción BSIM4.

El modelo BSIM4 permite extraer parámetros de caracterización en base al voltaje de umbral y voltaje drenaje-fuente de saturación; esto es posible estableciendo los parámetros de activación V_{GS} y V_{DS} . Además al ser un método semi-empírico brinda la facilidad de modificar los parámetros de diseño (Paydavosi et al., 2013, p. 10).

1.6 Estructura básica de un MOSFET.

La estructura básica de un MOSFET está conformada por cuatro capas de materiales, iniciando desde la compuerta hacia la base del sustrato, tenemos: una capa de material conductor, luego una capa de aislante, SiO_2 , bajo esta capa está el material semiconductor, en este caso consideramos al silicio que puede ser dopado positivamente (tipo p) o tipo negativamente (tipo n) (dependiendo el tipo de canal en el transistor) y finalmente otra capa de material conductor. Esto permite que el transistor se pueda analizar basándose en la estructura de un capacitor (ver Figura 1.1), dado que se basa en controlar la cantidad de portadores de carga entre el sustrato y la compuerta .

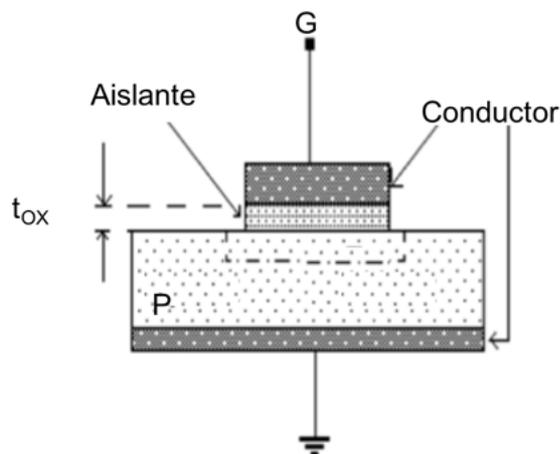


Figura 1.1: Estructura MOS Básica.

Fuente: Transistores de efecto de campo (Schiavon, 1997).

Modificado: Autor

El MOSFET es un dispositivo de efecto de campo que utiliza un campo eléctrico para crear el canal de conducción. Cuenta con cuatro terminales, compuerta (G), fuente (S), drenaje (D) y sustrato (B). Las dimensiones de este dispositivo se basan en dos parámetros principales, longitud (L) y ancho del canal (W) (Clein, 1999, p. 30). Para permitir el flujo de corriente en el dispositivo se cuenta con dos contactos unidos al sustrato por medio de regiones altamente dopadas. Si se realizara una conexión directa no se produciría un buen contacto óhmico, es decir, no permitiría un alto flujo lineal de electrones entre las dos terminales, en este caso, el sustrato-drenaje o sustrato-fuente (Razavi, 2006). La estructura del MOSFET es simétrica (eléctricamente) en relación de drenaje-fuente. Estos electrodos son ubicados a la misma distancia de la compuerta, los terminales drenaje-fuente cuentan con un voltaje de operación específico (Lu, 2007), tal que, estos terminales consisten de un semiconductor altamente conductor el cual es aislado del sustrato. Conocida como compuerta, la placa conductora superior reside sobre una capa de material aislante que se deposita sobre el silicio (Razavi, 2006), resultando así la fuente y drenaje con una región similar (Zeghbrock, 2011). Las

regiones sobre las cuales se ubican el drenaje y la fuente son altamente dopadas y separadas por el sustrato; pueden ser dopadas tanto negativamente (tipo n) como positivamente (tipo p), mientras tengan el mismo tipo de material entre sí, y sea opuesto al empleado en el sustrato.

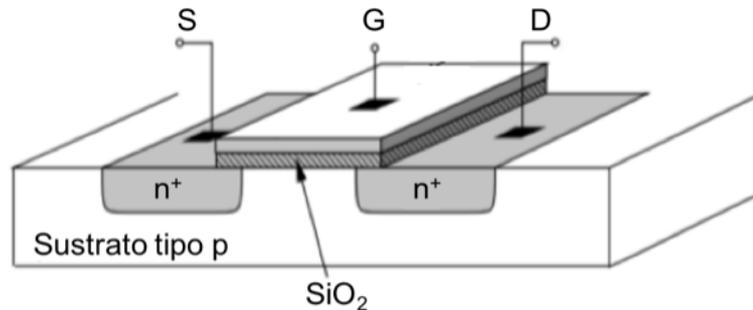


Figura 1.2: Estructura del MOSFET
Fuente: Fundamentals of Microelectronics (Razavi, 2006).
Modificado: Autor

Para que exista un flujo de carga entre la fuente y drenaje es necesario establecer un camino por el cual fluyan los portadores, denominado canal. Esto es posible únicamente creando una lámina inversora de carga de electrones, también conocida como la zona del canal, que une las regiones n^+ , también conocidas como regiones tipo n (ver Figura 1.2)(Gámiz Pérez et al., 2008, pp. 112-149).

1.7 Proceso de construcción de un MOSFET.

Durante el proceso de construcción de semiconductores que a continuación se detalla, algunos de los procedimientos se pueden repetir, esto con la finalidad de realizar los distintos dopajes o a su vez cambiar las condiciones a las que es sometida la oblea durante el ciclo de producción.

1.7.1 Preparación de una oblea.

El material principal para la creación de los actuales CI es el silicio de alta pureza, este material se crea en cilindros que luego son cortados en obleas de 400 a 600 μm de espesor por un diámetro de 10 a 30 cm. Las obleas obtenidas son pulidas química y mecánicamente, con el fin de eliminar irregularidades. Las características electromecánicas con las que cuenta la oblea en un inicio dependen principalmente de la orientación del crecimiento, impurezas, y concentración de impurezas en el silicio. El silicio puro puede ser dopado intencionalmente durante la fabricación de las obleas, permitiendo la alteración controlada de las características eléctricas, también nos permite modificar el tipo de silicio que podemos obtener ya sea este de tipo N o P (Sedra & Smith, 2002).

1.7.2 Oxidación.

Es el proceso químico por medio del cual el silicio reacciona al oxígeno, mediante este proceso se forma el SiO_2 , para llevar a cabo el proceso de oxidación del silicio debe someterse a una temperatura de entre 1000 y 1200 °C en hornos sumamente limpios y de altas temperaturas. El oxígeno que se emplea para la reacción se puede introducir como gas de alta pureza, o también conocido oxígeno de alta pureza (óxido seco) o en vapor de agua (óxido húmedo), cada uno de estos métodos brinda sus características a la oxidación, teniendo así la oxidación en seco que produce mejores características eléctricas, mientras la oxidación húmeda produce un crecimiento más rápido del óxido, sirve como filtro de impurezas, permitiendo que estas ingresen en las zonas que no tienen un recubrimiento de óxido, tal es el caso de la creación de las zonas de dopaje para los contactos de compuerta y drenaje una vez creada la máscara de dióxido de silicio para la compuerta. El proceso de fabricación del CI se produce en un cuarto limpio, denominado así por su aislamiento ya que en este cuarto se hace circular aire filtrado especialmente para evitar la presencia de impurezas que pueden alterar de una manera considerable las propiedades del Si. Además todas las personas que se involucran en el proceso deben pasar por la cámara de esterilización utilizando ropa especial para no ingresar o desprender impurezas dentro de esta habitación (Sedra & Smith, 2002).

1.7.3 Difusión.

El proceso de difusión es esencialmente la incrustación de átomos en la red silicio, este proceso se lleva a cabo muy lentamente en los sólidos, la difusión se la puede conocer como el proceso de dopaje ya que mediante este método se modifican sus propiedades eléctricas. La rapidez con la que se incrusten estas impurezas depende principalmente de la temperatura a la cual se somete el proceso, está suele ser de entre 1000 y 1200 °C. Esto permite obtener el perfil que se desea una vez implantadas las impurezas. La profundidad a la que se incrustan los dopantes en el material dependen de dos parámetros esenciales, temperatura y tiempo a los cuales se ha sometido la difusión. Principalmente se emplean como impurezas el boro (B) que es de tipo p, el fósforo (F) y arsénico (As) de tipo n (Sedra & Smith, 2002).

1.7.4 Implantación de iones.

Es otro método por medio del cual se puede dopar un material con impurezas, este proceso genera las impurezas por medio de la ionización y se implantan en el silicio, siendo aceleradas las partículas por un campo eléctrico lo cual permite que estas golpeen la superficie del Silicio. La penetración de las partículas está relacionada directamente con la energía de el haz de

iones. La cantidad de iones que se implantan en la oblea se pueden controlar por la corriente y voltaje del haz de iones, esto nos permite tener mayor control de la cantidad de impurezas implantadas y a su vez las reproducciones son más exactas que empleando el método de difusión, este proceso es realizable a temperatura ambiente. Este proceso se emplea cuando la precisión del contaminante es esencial en el desempeño del dispositivo (Sedra & Smith, 2002).

1.7.5 Metalización.

Mediante este proceso se interconectan los elementos que forman el transistor, para lo cual se emplea un metal, generalmente aluminio (Al), el cual se deposita sobre la superficie dopada del silicio, el Al se deposita por calentamiento en vacío hasta que se vaporiza, los vapores se condensan y una vez se ponen en contacto con el silicio forma una capa sólida de aluminio (Sedra & Smith, 2002).

1.7.6 Fotolitografía.

Para este proceso se cubre la oblea con un material fotoresistivo, este material se pone bajo la luz a través de un patrón matriz que suaviza el material fotoresistente, esta capa se puede eliminar usando un revelador químico, esto permite revelar las finas líneas grabadas en la superficie de la oblea, la capa resultante de este proceso no es atacada por los disolventes empleados para los distintos tipos de materiales, por lo cual esta forma una máscara muy eficiente la cual no es fácil de disolver con los disolventes empleados, este material se elimina al ser expuesto a la luz, eliminando las partes expuestas (Sedra & Smith, 2002).

1.8 Plataforma de simulación.

Actualmente existen varias plataformas de simulación a nivel nano-métrico entre las cuales están SILVACO TCAD y SENTAURUS TCAD, estas plataformas son ampliamente utilizadas en el campo científico, en este trabajo de titulación se empleará la plataforma SENTAURUS TCAD. Esta plataforma brinda facilidades como: trabajar en un entorno gráfico a partir de variables, diseñar el dispositivo desde un archivo *.cmd*, y control total de los parámetros de diseño y valores tanto de entrada como de salida (Diksha, Shweta, Nidhi, & Yashvardhan, 2013).

CAPÍTULO II

2. CARACTERIZACIÓN.

2.1 Voltaje umbral.

Uno de los parámetros principales para caracterizar un MOSFET es el V_{TH} , su valor ideal está próximo a 0.5 V, sin embargo, este valor dependerá del diseño del dispositivo ya que este valor puede variar hasta 2 V, debido a que depende de la cantidad de dopaje, espesor de óxido (dentro del rango de 2 a 50 nm), y tiempo de difusión el cual se determina de acuerdo al diseño del transistor (Sedra & Smith, 2002, p. 373).

Se debe tener en cuenta que el voltaje V_{GS} será igual al voltaje V_{TH} solamente cuando hay una cantidad suficiente de electrones móviles bajo la compuerta para que se produzca un cambio significativo en I_D , es decir, se puede formar el canal (Sedra & Smith, 2002). A partir de este cambio empezará el crecimiento de la corriente, por consiguiente, se activa el transistor (Boylestad & Nashelsky, 2009)

2.2 Voltaje drenaje-fuente.

El voltaje drenaje-fuente permite controlar el ancho del canal, dado que se crea simétricamente tanto en el drenaje como en la fuente (ver Figura 2.1), sin embargo, el canal se irá estrechando a medida que se aumenta V_{DS} y se mantiene en V_{GS} , y si $V_{DS} = V_{TH}$, el canal prácticamente desaparecerá, a esto se lo conoce como voltaje de saturación (V_P) o estrangulamiento del canal (Schiavon, 1997).

$$V_{DS} = V_{GS} - V_{GD}$$

Ec. 2.1

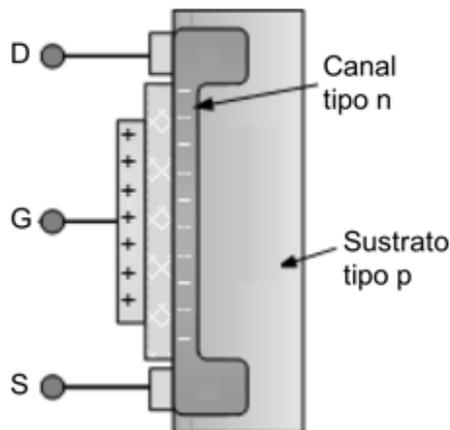


Figura 2.1: MOSFET con canal inducido.

Fuente: (Schiavon, 1997)

Modificado: Autor

2.3 Corriente drenaje-fuente de saturación.

Es uno de los parámetros principales que deben ser caracterizados, será controlado directamente por V_{GS} , de tal manera que entre mayor sea la magnitud negativa en su valor, mas baja será la corriente drenaje-fuente de saturación (I_{DS}), por consiguiente, el valor de V_{GS} controlará la corriente que pase por el canal (ver Figura 2.2) (Floyd, 2008).

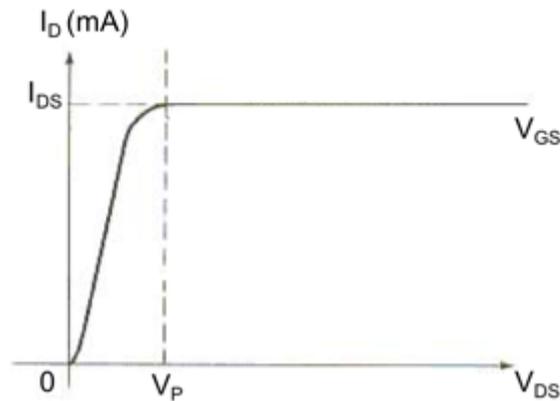


Figura 2.2: Corriente *Drenaje-Fuente* de Saturación
Fuente: gogla.galeon.com/tres_archivos/image005.jpg.
Modificado: Autor

2.4 Voltaje de saturación.

Voltaje de saturación, también conocido como voltaje drenaje-fuente de saturación V_{DSSat} . Una vez que se produce el voltaje de saturación (V_P) en el MOSFET (ver Figura 1.5), el aumento de V_{DS} no incrementará la corriente en el canal, puesto el dispositivo pasa a comportarse como una fuente de corriente constante. De esta manera V_P nos permite trabajar con el transistor en dos regiones, en la región óhmica y en la región de saturación (Rizzoni, 2000, p. 417).

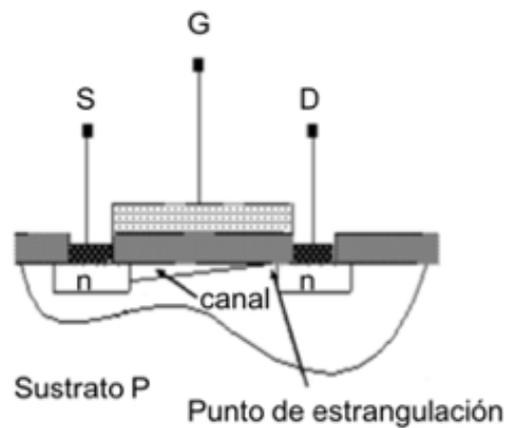


Figura 2.3: Estrangulamiento del canal.
Fuente: Transistores de efecto de campo (Schiavon, 1997).
Modificado: Autor

2.5 Movilidad efectiva.

Para el presente trabajo la movilidad efectiva es un importante parámetro, dado que la investigación se enfocará en caracterizar el comportamiento del dispositivo, bajo diferentes voltajes, dopajes, temperaturas de simulación, y en analizar cómo afectan estos a la movilidad efectiva de electrones.

2.5.1 Cálculo de movilidad efectiva.

Para el cálculo de la movilidad efectiva (μ_{eff}) existen varios métodos, para el presente trabajo de investigación se empleará el método de procedimiento moderado de la capa de inversión (Banqueri et al., 1996, p. 1).

$$\mu_{eff} = \frac{L_{eff}}{W_{eff}} \frac{g_D}{qN_I(V_{GS})} \Big|_{V_{DS} \rightarrow 0} \quad Ec. 2.2$$

Donde, L_{eff} es la longitud efectiva del canal, la cual es determinada de acuerdo a la tecnología implementada, W_{eff} es el ancho efectivo del canal, en este caso está determinado por el simulador ($1 \mu m$) (*Sentaurus TCAD [Software]*, 2011), g_D es la conductancia del drenaje, $qN_I(V_{GS})$ representa la inversión de carga del canal por unidad de área, siendo q la modulación de electrones. (Banqueri et al., 1996, p. 1).

Asumiendo que la carga de inversión es linealmente dependiente del voltaje compuerta-fuente, entonces, se puede decir que:

$$qN_I(V_{GS}) = C_{ox}(V_{GS} - V_{TH}), \left[\frac{VF}{m^2} \right] \quad Ec. 2.3$$

Reemplazando la Ec. 2.3 en la Ec. 2.2, tenemos:

$$\mu_{eff} = \frac{L_{eff}}{W_{eff}} * \frac{g_D}{C_{ox}(V_{GS} - V_{TH})} \quad Ec. 2.4$$

2.5.2 Capacitancia del óxido.

Al inducir y mantener el voltaje en dos capas de óxido se produce una capacitancia, la cual se conoce como capacitancia de óxido (C_{ox}), cuyo espesor se representa por t_{ox} , el valor calculado de este parámetro será faradio por unidad de área (Ozols, 2007, p. 10). De esta manera obtenemos:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}, \left[\frac{F}{m^2} \right] \quad Ec. 2.5$$

Donde, la permitividad del óxido (ϵ_{ox}) se obtiene del producto de la permitividad eléctrica del material (ϵ_r), en este caso SiO_2 , con un valor constante de 3.9, y la constante de permitividad (ϵ_0) con un valor de un valor de $8,8541878176 \times 10^{-12} \frac{F}{m}$ (Sadiku, 2010, p. 761).

$$\epsilon_{ox} = \epsilon_r \epsilon_0, \left[\frac{F}{m} \right] \quad Ec. 2.6$$

2.5.3 Conductancia de drenaje.

Es una característica propia de cada material para no presentar oposición al flujo de corriente, es decir, lo inverso a la resistividad, dado que es un parámetro del drenaje es la poca oposición del mismo al flujo de corriente, este parámetro se mide en un dispositivo físico, dado que únicamente se realizó la simulación del dispositivo no sería posible obtener valores aproximados a los especificados en la bibliografía (Banqueri et al., 1996, p. 1), por consiguiente, se emplea la siguiente ecuación:

$$g_D = \frac{I_{DS}}{V_{DS}}, [S] \quad Ec. 2.7$$

Una vez se ha descrito los parámetros, las ecuaciones 2.5 y 2.7, se reemplazan en la Ec. 2.4, obteniendo así:

$$\mu_{eff} = \frac{L_{eff}}{W_{eff}} * \frac{\frac{I_{DS}}{V_{DS}}}{C_{ox}(V_{GS} - V_{TH})} \quad Ec. 2.8$$

Mediante la ecuación 2.8, se puede obtener la movilidad efectiva de electrones, misma que se comparará en las diferentes tecnologías empleadas en este trabajo.

2.6 Disminución de barrera inducida por drenaje.

La disminución de barrera inducida por drenaje o DIBL, es la disminución del voltaje umbral cuando se aplica un voltaje en el drenaje, esto se da al polarizar el D-S, lo que implica que se necesite menor cantidad de portadores para generar el canal (Martinez-Lopez, Martinez Castillo, Solís-Ávila, & Tinoco Magaña, 2015).

Este efecto se puede ver en las curvas características de un MOSFET (ver Figura 2.4), con diferentes valores de V_D (Stockinger, 2000). Para calcular el DIBL se emplea la fórmula:

$$DIBL = \frac{\Delta V_{TH}}{\Delta V_D} = \frac{V_{TH1} - V_{TH2}}{V_{D1} - V_{D2}} \quad Ec. 2.9$$

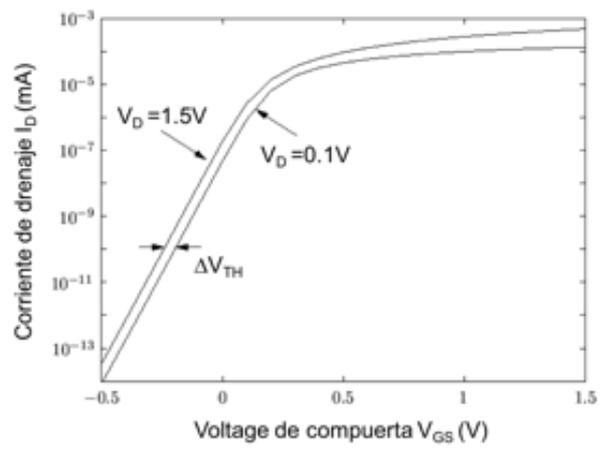


Figura 2.4: Efecto DIBL.
Fuente: (Stockinger, 2000)
Elaboración: (Stockinger, 2000)

CAPÍTULO III

3. DISEÑO Y SIMULACIÓN, RESULTADOS.

Para la simulación del MOSFET tipo n se empleó Sentaurus TCAD, siendo esta una plataforma de simulación de dispositivos semiconductores. En la simulación de transistores se puede obtener datos como: curvas características, voltaje de umbral, corriente de saturación, entre otras. A nivel de diseño se puede manejar datos como: longitud de canal, niveles de dopaje, tiempos de difusión, espesor de óxido, entre otros.

El diseño de un MOSFET de tipo n está basado en los parámetros previamente mencionados, es por esta razón que se debe establecer la tecnología en la cual se va a trabajar. El escalamiento de la tecnología de los transistores ha avanzado paulatinamente, permitiéndonos catalogarlos por la longitud de su canal; para el desarrollo de esta investigación se emplean las tecnologías de 250 nm y 180 nm.

3.1 Diseño.

El diseño del dispositivo está basado en el modelado de canal largo o modelado central, este modelado permite determinar las características del dispositivo basándose en la longitud y ancho efectivo del canal. Estos parámetros son determinados por el nodo tecnológico del dispositivo, en este caso, 250 nm y 180 nm (Baker, 1964, pp. 36-38).

Entonces, una vez se determina la longitud del canal y dado que es una simulación 2D, se procede a establecer las dimensiones con las cuales se diseñará el dispositivo en simulación, quedando como se muestra en la figura 3.1:

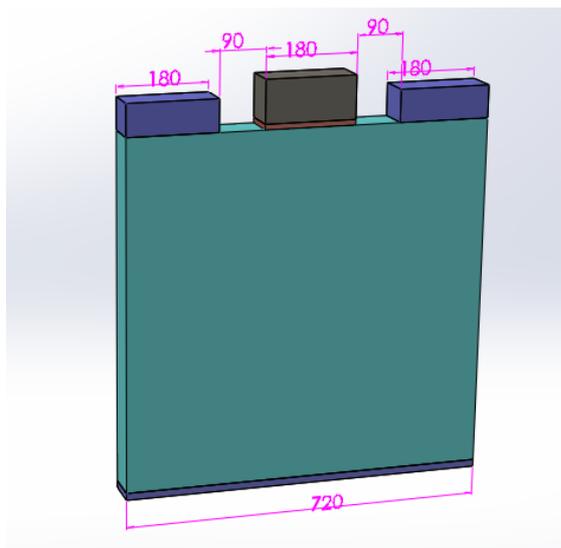


Figura 3.1: Diseño de transistor.
Fuente: Autor.
Elaboración: Autor.

En la figura 3.1 se puede observar el dimensionamiento de un transistor, con una longitud de canal (L) de 180 nm. El tamaño de la compuerta está definido por L (Clein, 1999, p. 30).

Una vez se determina el canal, se sabe que por el método de diseño este dispositivo se va a crear simétricamente, es decir, se crea un drenaje y una fuente con un tamaño ~ 180 nm, y los contactos son ubicados a una distancia simétrica de la compuerta ~ 90 nm.

3.2 Simulación.

La plataforma Sentaurus TCAD nos permite diseñar un transistor nuevo mediante el proceso de construcción y método de modelamiento indicados en el primer capítulo, en este caso se diseña un MOSFET tipo n; es necesario indicar que las unidades predeterminadas en sentaurus son las siguientes: voltaje (V), longitud (μm), corriente (A), temperatura ($^{\circ}\text{C}$), tiempo (s).

3.2.1 Preparación de la oblea.

Para la construcción y diseño del dispositivo MOSFET se requiere dar dimensiones al sustrato, el cual se va a crear mediante una malla. (Ver figura 3.2). A continuación, se muestra el código para realizar el proceso descrito.

```

line x location= 0           spacing= 0.01           tag= top
line x location= 1.0       spacing= 0.2             tag= bottom
line y location= 0.0       spacing= 0.1*@Lg@         tag= left
line y location= 2*@Lg@    spacing= @Lg@           tag= right
region silicon xlo= top xhi= bottom ylo= left yhi= right

```

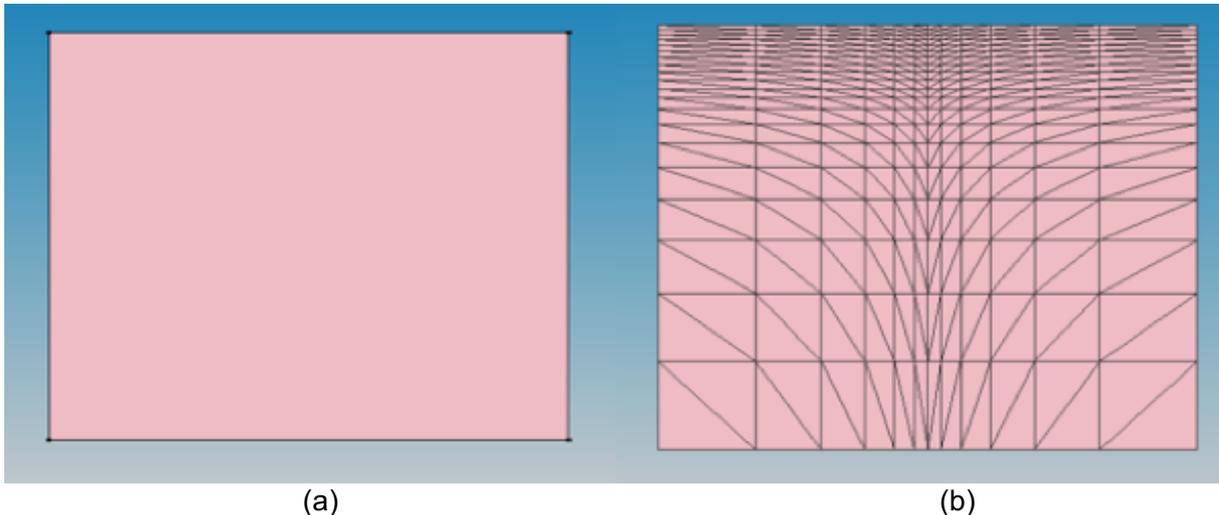


Figura 3.2: (a) Sustrato de Si creado a partir de las etiquetas asignadas, (b) Enmallado del sustrato de Si.

Fuente: Autor.
Elaboración: Autor.

3.2.2 Proceso de oxidación y difusión.

Se procede a dopar con impurezas el sustrato, es decir, introducir impurezas, en este caso boro, el dopaje se realiza para crear una capa altamente dopada, lo cual aumentará la

movilidad de portadores permitiendo que estos fluyan con mayor facilidad al ser excitados por un campo eléctrico; sobre el sustrato debe crearse una capa de oxido, lo cual se puede apreciar en la Figura 3.3. A continuación se muestra el código para crear la capa de óxido y a su vez calcular el espesor del mismo.

```
init concentration= @NWell@ field= Boron
diffuse time=@GOxTime@ temp=@tmp@ O2
set oxidelayer [lindex [layers y=0 Oxide] 1]
puts "DOE: tox [format %.4f [expr [lindex $oxidelayer 1] - [lindex $oxidelayer 0]]]"
```

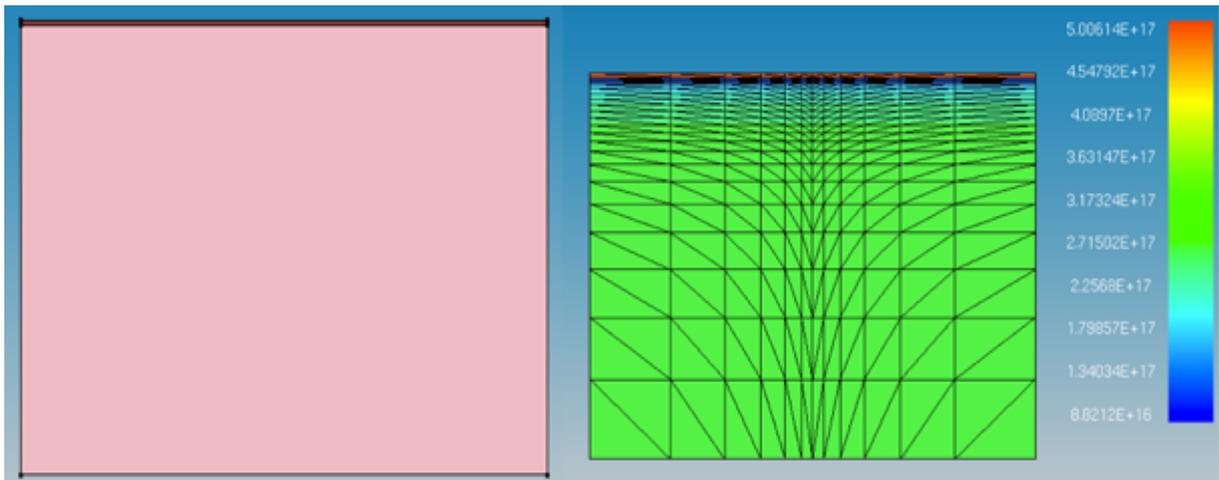


Figura 3.3: Dopaje inicial con impurezas de boro.
Fuente: Autor.
Elaboración: Autor.

Definida el área del sustrato y dopaje inicial de impurezas, se realiza un reajuste del enmallado, que valida los primeros cambios que se realizan, ahora se puede controlar el espesor de óxido. Para la difusión del material se crea una capa de SiO_2 (ver Figura 3.4), sobre el cual se realizará el depósito de polisilicio, realizado este proceso se corta el óxido creando así la compuerta como se puede apreciar en la figura 3.5. A continuación se muestra el código para realizar el reajuste del enmallado inicial.

```
mgoals min.normal.size=1<nm> max.lateral.size=2.0<um> normal.growth.ratio=1.5 accuracy=1e-5
pdbSet Oxide Grid perp.add.dist 1e-7
pdbSet Grid NativeLayerThickness 1e-7
diffuse temperature=950<C> time=10.0<s>
```

3.2.3 Proceso de fotolitografía.

La compuerta va a tener un tamaño aproximadamente igual a la cuarta parte del tamaño del transistor, y el dióxido de silicio permitirá que el MOSFET sea analizado como un capacitor. En las líneas de código que se muestran a continuación se hace la deposición del polisilicio para la creación de la compuerta.

```
deposit polysilicon anisotropic thickness= 0.1
```

mask name= poly left=-@Lg@/2 right= @Lg@/2

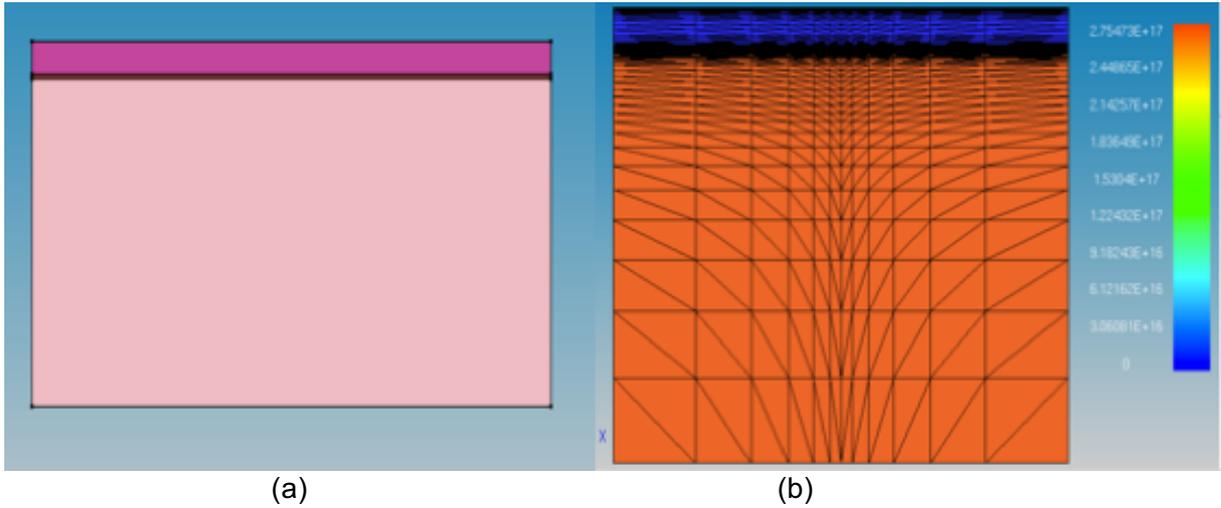


Figura 3.4: (a) Estructura MOSFET con capa de SiO_2 entre compuerta y sustrato, (b) Dopaje de estructura con compueta.

Fuente: Autor.

Elaboración: Autor.

etch polysilicon anisotropic thickness= 0.12 mask= poly
etch oxide anisotropic thickness= 0.02

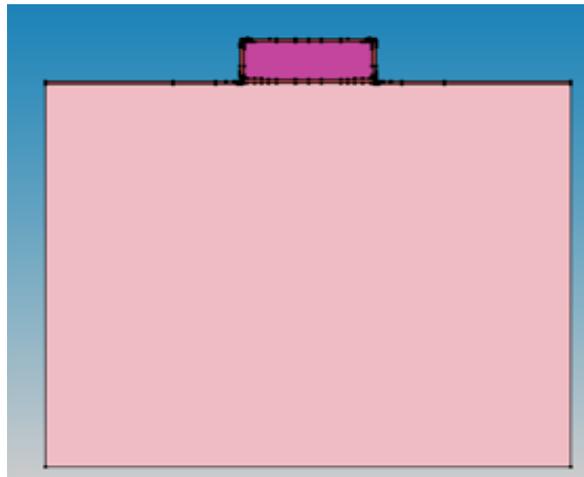


Figura 3.5: Creación de la compuerta en el dispositivo.

Fuente: Autor.

Elaboración: Autor.

Debido al tamaño del dispositivo, tanto drenaje y fuente han sido creados a una distancia simétrica de la compuerta. Para evitar que aparezcan corrientes de fuga entre los contactos es necesario aislar la compuerta, esto se realiza mediante la implantación de nitrido, el cual desempeña la función de aislante entre los contactos y la compuerta (ver Figura 3.6).

deposit nitride isotropic thickness= 0.3@Lg@*

Para la creación de las zonas de dopaje donde se va a crear los contactos drenaje y fuente, se debe incrustar impurezas, creando de esta manera zonas altamente dopadas. En el siguiente código se muestra la implantación de fosforo.

```

implant phosphorus dose=1e+15 energy=15
refinebox Silicon min= {0.04 0.12} max= {0.18 0.4} xrefine= {0.01 0.01 0.01} yrefine= {0.05 0.05 0.05}
add refinebox remesh
diffuse time=1<s> temp= 1000

```

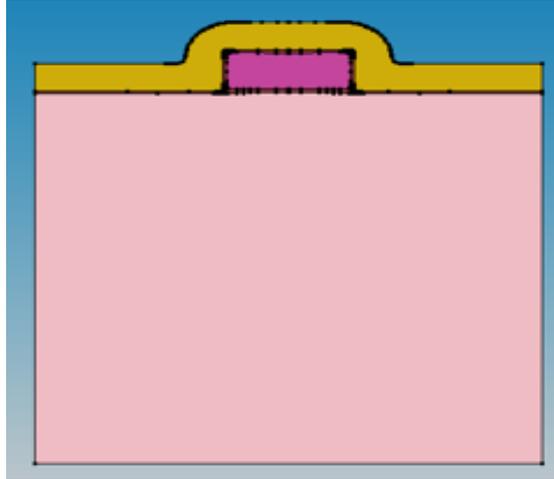


Figura 3.6: Depósito de nitrido para crear el aislamiento entre los contactos.

Fuente: Autor.
Elaboración: Autor.

Como se puede apreciar en la figura 3.6 la capa de nitrido se crea en la superficie del transistor, por lo cual es necesario limpiar el excedente de material; quedando únicamente el nitrido a los lados de la compuerta (ver figura 3.7). Este proceso se puede observar a partir de las líneas de código mostradas a continuación.

```

etch nitride anisotropic thickness= 0.35*@Lg@
etch Oxide anisotropic thickness= 0.35

```



Figura 3.7: Nitrido implantado como aislante junto a la compuerta.

Fuente: Autor.
Elaboración: Autor.

3.2.4 Proceso de ionización.

Se implanta arsénico para crear las zonas de alto dopaje sobre las cuales se colocarán los contactos drenaje y fuente.

```
implant arsenic dose=@LDD_Dose@ energy=30<keV> tilt=7<degree> rotation=-90<degree>
```

Se dopa con boro el sustrato, este proceso se realiza para generar una capa de inversión e incrementar la conductividad en el canal. En la línea de código que se muestra a continuación, el dopaje se realiza controlando la energía de implantación, que determinará la profundidad a la cual se va a dopar el dispositivo.

```
implant Boron dose=9.0e10<cm-2> energy=25<keV>
```

3.2.5 Proceso de metalización.

Para finalizar la construcción se crea los contactos, drenaje, fuente y sustrato de aluminio, creados a partir de un material altamente conductivo, en este caso aluminio; como se puede apreciar en las figuras 3.8 y 3.9. En el siguiente código se muestra paso a paso la creación de los contactos.

```
deposit aluminum anisotropic thickness= 0.05  
mask name= contact left=@Lg@*1.2  
etch aluminum anisotropic thickness= 0.1 mask= contact
```

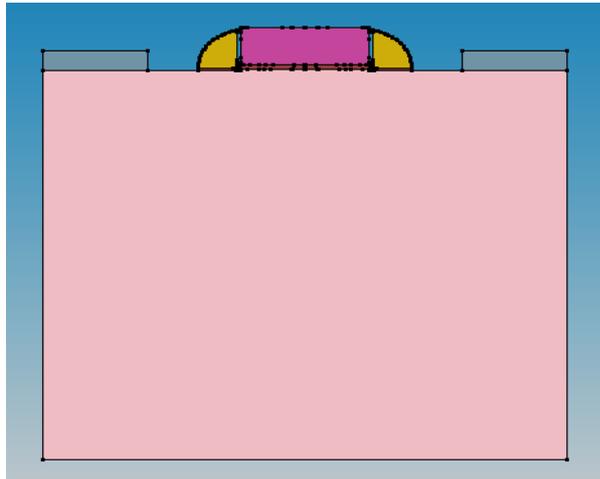


Figura 3.8: Deposito de aluminio para crear los contactos.

Fuente: Autor.

Elaboración: Autor.

```
transform reflect left  
contact name=substrate bottom  
contact name=source point y=-@Lg@*1.5 x=-0.010 replace  
contact name=drain point y=@Lg@*1.5 x=-0.010 replace  
contact name=gate point y=0 x=-0.050
```

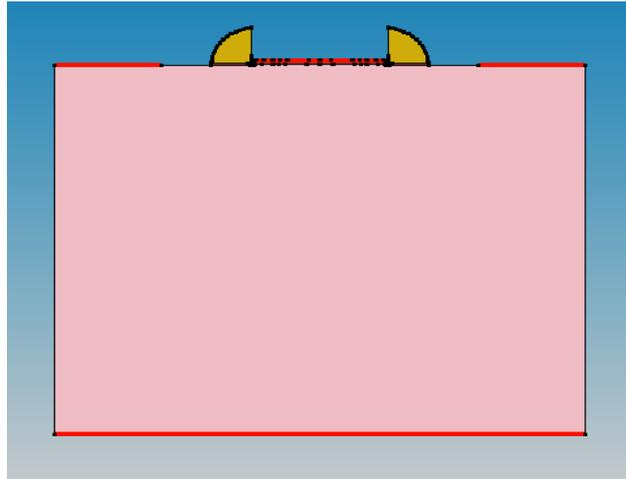


Figura 3.9: MOSFET de enriquecimiento tipo n creado en Sentaurus TCAD.
Fuente: Autor.
Elaboración: Autor.

3.3 Resultados obtenidos a partir de simulación.

Los nodos tecnológicos empleados para diseño, simulación y caracterización son: 250 nm y 180 nm, para lo cual se planificó la Tabla 1, en la cual se contemplan algunas variables como: concentración inicial, dopaje inicial, temperatura y tiempo iniciales, temperatura de simulación, voltaje de umbral, movilidad efectiva y espesor de óxido.

Tabla 1: Parámetros teóricos de diseño para dispositivos MOSFET

Parámetros de Diseño y Simulación		
Parámetro	Valor	Unidad
Concentración inicial (Boro)	9×10^{10}	cm^{-2}
Dopaje inicial (Boro)	3×10^{17}	cm^{-3}
Temperatura inicial	850	centígrados
Tiempo inicial	9	segundos
Temperatura simulación	27	centígrados
Voltaje de umbral	0.5	voltios
Movilidad efectiva	0.0285	$\left(\frac{m^2}{Vs}\right)$
Espesor de óxido	2 - 50	μm

Fuente: (Shashank et al., 2010), Autor.
Elaboración: Autor.

3.3.1 Cálculo de movilidad efectiva.

La movilidad efectiva del dispositivo es evaluada con la finalidad de comparar los resultados obtenidos en las diferentes tecnologías con un dieléctrico de SiO_2 . Dado que el diseño se basa en un modelo semi-empírico es posible manipular algunos parámetros como: temperatura y tiempo de implantación inicial, mediante la modificación de estos valores es puede variar el

espesor del óxido, lo cual altera la movilidad obtenida en el dispositivo, es por ello que se manipulan estos parámetros, buscando siempre disminuir el V_{TH} a un valor menor o igual a 0.7 V.

El efecto del espesor del óxido es también más visible a medida que este aumenta, a su vez mejora considerablemente la movilidad y afecta la magnitud del voltaje de umbral, sin embargo disminuye el valor de I_{DS} . El crecimiento de la magnitud de movilidad efectiva de portadores se puede realizar por medio de dos campos, el incremento I_{DS} o a su vez mediante el crecimiento del espesor de óxido, es decir, estos valores nos permiten incrementar la movilidad dentro de la misma tecnología, el cambiar a una tecnología mayor manteniendo los datos iniciales presentados en la Tabla 1 también nos permite incrementar la movilidad, esto se ve reflejado en la Tabla 2.

Sabiendo que el diseño determina parámetros importantes tanto de entrada como de salida, se crea la Tabla 2, donde se detallan valores obtenidos de simulación y parámetros de activación, mismos que se pueden obtener del ITRS (inicialmente conocido como NTRS de sus acrónimos National Technology Roadmap for Semiconductors).

Tabla 2: Valores de entrada y salida, obtenidos con un espesor de óxido igual a 31 nm.

Año	Tecnología (nm)	Entrada		Salida		
		V_{GS} (V)	V_{DS} (V)	I_{DS} (A)	V_{TH} (V)	μ_{eff} ($\frac{m^2}{Vs}$)
1997	250	2.3	0.01	1.79e-05	0.70	0.0206
1999	180	1.8	0.01	1.95e-05	0.687	0.0232

Fuente: Autor, (National Technology Roadmap for Semiconductors, 1997).
Elaboración: Autor.

Sabiendo que el espesor de óxido debe estar en un rango de 2 a 100 nm, esto para evitar corrientes de fuga; como se puede apreciar en la Tabla 2, el espesor de óxido está dentro de este rango.

Entonces, para llevar a cabo la simulación tanto de la tecnología de 250 nm y 180 nm, se fijan los niveles de dopaje indicados en la Tabla 1 así como los valores de entrada mostrados en la Tabla 2, esto permitirá obtener la curva característica de I_{DS} vs V_{GS} , donde, para una tecnología de 250 nm V_{DS} es establecido en un valor fijo de 0.01 V, mientras V_{GS} es incrementado de 0 a 2.3 V. En la tecnología de 180 nm se fijan los valores de $V_{DS} = 0.01$ V, y V_{GS} es incrementado de 0 a 1.8 V.

Se conoce que el método semi-empírico permite modificar parámetros de simulación, a partir de estas modificaciones se obtiene resultados satisfactorios, ya que se puede

determinar que la movilidad efectiva de portadores incrementa con el crecimiento del óxido, esto se puede comparar entre la Tabla 2 y los Anexos 2 y 3, en los cuales se detallan los parámetros de entrada y salida tanto para la tecnología de 180 nm y 250 nm respectivamente. En estas Tablas se puede evidenciar que a un mayor tiempo de difusión crecerá el espesor de óxido y por consiguiente será mejor la movilidad efectiva de portadores.

Si bien el espesor del óxido crece conforme aumenta el tiempo inicial se debe tener en cuenta los valores de V_{TH} e I_{DS} , ya que estos tres parámetros determinarán la eficiencia del transistor. Es por ello que es necesario obtener estos parámetros, mismo que se registran en la Tabla 2.

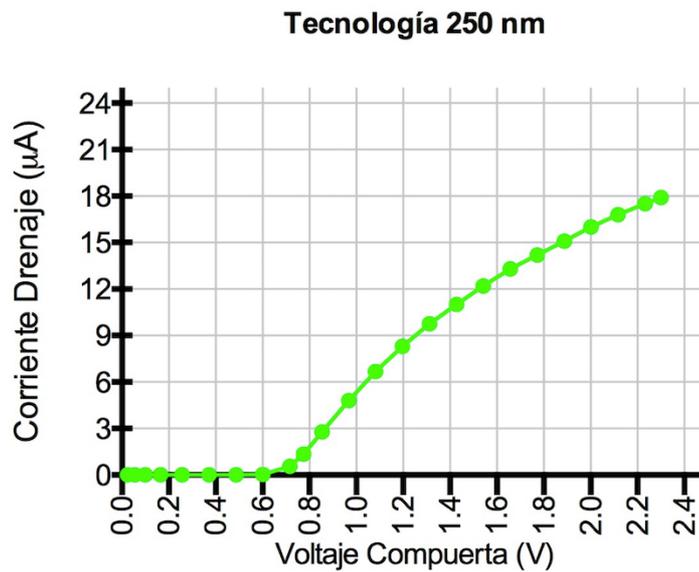


Figura 3.10: Curva I_{DS} vs. V_{GS} de tecnología de canal 250 nm.
Fuente: Autor.
Elaboración: Autor.

La figura 3.10 muestra los valores de corriente drenaje-fuente manteniendo un voltaje drenaje-fuente constante mientras el voltaje compuerta-fuente varia. También se puede describir tres valores de funcionamiento del transistor: corriente de apagado (I_{off}) siendo la corriente que se tiene el transistor al no estar polarizado la compuerta ($V_{GS} = 0$) donde $I_{off} = 2.21E^{-15} A$, corriente de saturación (I_{DS}) indica en que valor de voltaje compuerta la corriente ya no crece mas y se mantiene constante, La corriente de encendido (I_{on}) indica cuando $V_{GS} = V_{TH} = 0.7 V$ en este caso $I_{on} = 3.9810 E^{-7} A$.

El voltaje umbral debe ser lo más próximo a $0.7 V$; empleando los datos mostrados en la tabla 2, con respecto a la tecnología de 250 nm, se obtiene la movilidad efectiva de portadores. Con la curva característica del transistor en un tiempo de $9 s$ y una temperatura de $850 ^\circ C$, se obtendrá valores como: voltaje de umbral y corriente drenaje de saturación. Entonces aplicando la Ec 2.8 se obtiene:

$$\mu_{\text{eff}} = 0.0206 \frac{\text{m}^2}{\text{Vs}}$$

Para la simulación del dispositivo basado en una tecnología de 180 nm mantendremos los valores indicados en la Tabla 1, y se emplearán los valores de entrada indicados en la Tabla 2. Obteniendo así los datos de salida mostrados en la Tabla 2.

Tecnología 180 nm

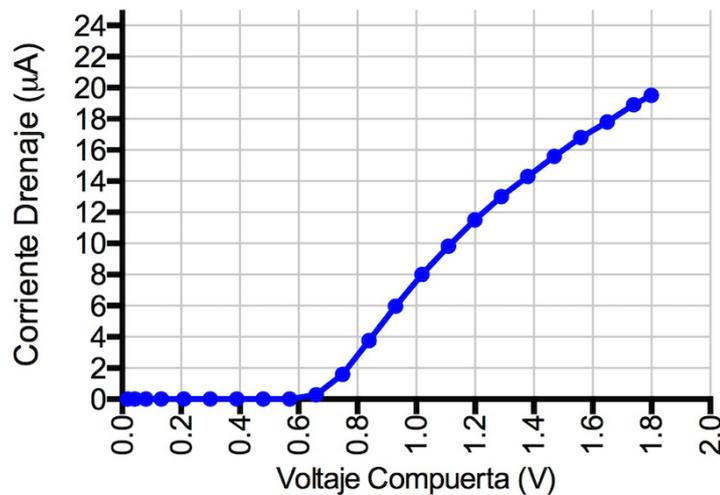


Figura 3.11: Curva I_{DS} vs. V_{GS} de tecnología de canal 180 nm.
Fuente: Autor.
Elaboración: Autor.

La figura 3.11 al igual que la figura 3.10, muestra los valores de corriente drenaje-fuente manteniendo un voltaje drenaje-fuente constante mientras el voltaje compuerta-fuente varia. De igual manera se puede determinar tres puntos de funcionamiento del transistor: corriente de apagado $I_{off} = 4.5484 E^{-16} A$, corriente de saturación la cual esta detallada en la tabla 1, y corriente de encendido cuando $V_{GS} = V_{TH} = 0.687 V$ y nos da una corriente $I_{on} = 4.224 E^{-7} A$

Para el cálculo de la movilidad efectiva de portadores en la tecnología de 180 nm, se aplica la Ec. 2.8, al igual que en la tecnología de 250 nm, obteniendo así:

$$\mu_{\text{eff}} = 0.0232 \frac{\text{m}^2}{\text{Vs}}$$

3.3.2 Cálculo de DIBL.

En los dispositivos a nano-escala se pueden presentar problemas de canal corto, como el DIBL. Tanto en la tecnología de 250 nm y 180 nm es necesario simular distintas magnitudes de V_{DS} , manteniendo los mismos valores en los demás parámetros de entrada, con la finalidad

de generar un V_{TH} distinto al obtenido en la primera simulación. Obteniendo de esta manera los valores mostrados en la Tabla 3.

Tabla 3: Valores de simulación para cálculo de DIBL en la tecnología de 250 nm.

Año	Tecnología (nm)	Entrada		Salida			
		V_{GS} (V)	V_{DS} (V)	I_{DS} (A)	V_{TH} (V)	t_{OX} (μm)	μ_{eff} ($\frac{m^2}{Vs}$)
1997	250	2.3	0.01	1.79e-05	0.700	0.0031	0.0206
1997	250	2.3	0.05	8.689e-5	0.720	0.0031	0.0203

Fuente: Autor, (National Technology Roadmap for Semiconductors, 1997).

Elaboración: Autor.

Una vez se ha simulado el dispositivo MOSFET con los valores de entrada detallados en la Tabla 3, empleamos la Ec. 2.9, obteniendo así:

$$DIBL = 0.5$$

De igual manera, para la tecnología de 180 nm, empleamos los valores detallados en la siguiente tabla.

Tabla 4: Parámetros para calcular el DIBL en una tecnología de 180nm.

Año	Tecnología (nm)	Entrada		Salida			
		V_{GS} (V)	V_{DS} (V)	I_{DS} (A)	V_{TH} (V)	t_{OX} (μm)	μ_{eff} ($\frac{m^2}{Vs}$)
1999	180	1.8	0.01	1.950e-05	0.687	0.0031	0.0232
1999	180	1.8	0.05	9.282e-05	0.710	0.0031	0.0226

Fuente: Autor, (National Technology Roadmap for Semiconductors, 1997).

Elaboración: Autor.

Con los parámetros de entrada y salida de la Tabla 4 y aplicando la Ec. 2.9, obtenemos:

$$DIBL = 0.575$$

3.4 Discusión de resultados.

Mediante la variación de parámetros como: temperatura inicial y tiempo inicial, indicados en la Tabla 1 para el diseño de las tecnologías indicadas, se ha podido manipular las características del transistor. Una de estas características es el espesor de óxido, el cual está directamente relacionado con la movilidad efectiva de portadores, es decir, si el espesor incrementa la movilidad también incrementa, de igual manera si el espesor decrece. Como se puede observar en los Anexos 2 y 3.

Entonces, considerando que la movilidad efectiva de portadores se ve directamente afectada por el espesor de óxido, también es controlada por parámetros como: I_{DS} y V_{TH} , por tal motivo, al analizar los resultados presentados en la Tabla 1 y en los Anexos 2 y 3, se puede

decir que la movilidad efectiva de portadores va a mejorar siempre que se establezca un punto intermedio entre estas tres variables.

Sin embargo, el voltaje umbral ha mejorado considerablemente en la tecnología de 180 nm, disminuyendo su magnitud de un valor de 0.7 V a 0.68 V, acercándose aun mas al valor considerado como ideal en la bibliografía (Tabla 1) y superando el valor de 0.7 V fijado en el presente trabajo.

Como se puede observar en las tablas de resultados, Anexo 2 y Anexo 3, el espesor del óxido no afecta drásticamente la magnitud de I_{Ds} o V_{TH} , pero si afecta considerablemente la movilidad efectiva de portadores, debido a la variación en el tiempo inicial de difusión establecido en la simulación. Entonces, se puede decir que la movilidad efectiva se incrementa en un 7% y 3% al realizar la variación de 1s en el tiempo inicial de difusión, tanto para la tecnología de 180 nm y 250 nm, respectivamente. Sin embargo el incremento de la movilidad efectiva al cambiar a una mayor tecnología es de 22.3%, permitiéndonos de esta manera alcanzar una similitud del 77% con el valor obtenido de bibliografía. Esta aproximación se obtiene únicamente conociendo parámetros de dopaje y concentración inicial, lo cual es un claro indicador que podemos mantener las mismas características y mejorar el rendimiento del dispositivo al migrar de tecnología, así como alcanzar un mayor porcentaje en la replica del dispositivo modificando parámetros como dopajes, difusiones e ionizaciones.

En cuanto al DIBL que se presenta en el dispositivo, se puede decir que, al mantener las mismas características tanto de temperatura, tiempo y dopajes iniciales, mostrados en la tabla 1, es mayor en el nodo tecnológico de 180 nm, sin embargo, su diferencia es de solo un 0.7%, dicho valor indica claramente que al reducir el canal manteniendo las mismas características de una tecnología anterior incrementa la presencia de efectos de canal corto. Entonces, para reducir la presencia del DIBL se lo puede hacer mediante varias formas, una de las cuales es el control de dopaje en la zona de drenaje, también conocido como LDD.

CONCLUSIONES

La movilidad efectiva de portadores incrementa significativamente en la tecnología de 180 nm con relación a la tecnología de 250 nm, sin embargo, la movilidad efectiva obtenida en la tecnología de 180 nm alcanza a replicar en un 77% la movilidad efectiva obtenida en bibliografía, lo cual no es posible mediante la tecnología de 250 nm.

El mantener las características químicas de un dispositivo y aplicarlas en un nodo tecnológico con menor longitud de canal, incrementa los problemas de canal corto, como el DIBL, esto se puede evidenciar dado que el DIBL en la tecnología de 250 nm alcanza un valor 0.5, incrementándose en la tecnología de 180 nm a una magnitud de 0.57.

El voltaje umbral, ha arrojado mejores resultados a una menor longitud del canal, aunque en la tecnología de 250 nm mantiene un valor cerca al determinado en este trabajo de titulación, su magnitud es mucho más elevada que en la tecnología de 180 nm.

El valor del voltaje de umbral varía de acuerdo a la tensión aplicada en el voltaje drenaje-fuente, de esta manera se puede determinar que a menor longitud de canal existe un mayor DIBL, por lo tanto, es necesario mantenerlo lo más bajo posible al aplicar diferentes tensiones de voltaje drenaje-fuente, esto para que el transistor mantenga sus características eléctricas, lo cual se logra mediante la manipulación del espesor de óxido o a su vez aplicando bajos dopajes en drenaje.

La región altamente dopada del transistor aumentan la cantidad de portadores en la capa de inversión, esto a su vez se ve reflejado en un incremento de corriente drenaje-fuente, la cual incrementa al aumentar la magnitud de voltaje drenaje-fuente.

La magnitud de la movilidad efectiva es mayor con una menor longitud de canal, sin embargo, esta puede mejorar manipulando los parámetros de activación y espesor de óxido, siendo necesario encontrar un punto intermedio entre estos. Es por ello que se determina una triangulación de parámetros, los cuales son: corriente drenaje de saturación, voltaje de umbral y espesor de óxido, esta triangulación permite encontrar un valor intermedio de los parámetros, lo cual permite incrementar el rendimiento del dispositivo.

RECOMENDACIONES

Para mejorar la magnitud del voltaje de umbral, se puede trabajar con diferentes dosis de dopaje, lo cual permitiría aumentar el espesor de óxido y por consiguiente mejorar el rendimiento del dispositivo.

Al diseñar el dispositivo es necesario conocer parámetros como: temperatura inicial, tiempo inicial, dosis de dopaje y tipo de impurezas, ya que al variar el valor de cualquiera de estas variables, se alteran las características eléctricas del dispositivo.

Cambiando tanto la rotación como el ángulo de implantación de impurezas en la oblea, es posible mejorar el rendimiento del transistor.

Para un mejor control en los parámetros de salida como: voltaje de umbral y corriente de saturación, se puede variar dosis de dopaje, controlar la dosis de dopaje en el drenaje y variar el espesor del óxido, considerando principalmente la tecnología en la cual se está trabajando.

Con la finalidad de mejorar las características y rendimiento de un transistor, es recomendable reemplazar los materiales de construcción del canal, es decir, reemplazar el dióxido de silicio por materiales de alta permitividad eléctrica, como: grafeno, dióxido de hafnio o dióxido de zirconio.

BIBLIOGRAFÍA

- Albella, J., & Martínez-Duart, M. (1996). *Fundamentos de Electrónica Física y Microelectrónica*. (Addison-Wesley, Ed.) (Primera Edición). Madrid: Iberoamericana.
- Artieda, J. P., Trojman, L., Crupi, F., & Ragnarson, L.-A. (2012). Caracterización eléctrica de nano-MOSFETs en tecnología SOI. *Avances en ciencias e ingenierías*, 4(2), 96. <https://doi.org/10.18272/aci.v4i2.107>
- Baker, J. R. (1964). *CMOS Circuit Design Layout and Simulation* (Tercera Edición). Hoboken, New Jersey: Jhon Wiley & Sons, Inc.
- Banqueri, J. A., Lopez-Villanueva, J. A., Gámiz, F., Carceller, J. E., Lora-Tamayo, E., & Lozano, M. (1996). A Procedure for the Determination of the Effective Mobility in an N-MOSFET in the moderate Inversion Region. *Solid-State Electronics*, 39(6), 875-883. [https://doi.org/10.1016/0038-1101\(95\)00246-4](https://doi.org/10.1016/0038-1101(95)00246-4)
- Boylestad, R. L., & Nashelsky, L. (2009). *ELECTRÓNICA: TEORÍA DE CIRCUITOS Y DISPOSITIVOS ELECTRÓNICOS* (Décima Edición). México: Pearson Educación.
- Chaudhry, A., & Kumar, M. J. (2004). Controlling Short-Channel Effects in Deep-Submicron SOI MOSFETs for Improved Reliability: A Review. *IEEE Transactions on Device and Materials Reliability*, 4(1), 99-109.
- Clein, D. (1999). *CMOS IC LAYOUT: Concepts, Methodologies, and Tools* (Primera). Newnes.
- Diksha, J., Shweta, G., Nidhi, C., & Yashvardhan, R. (2013). Comparative study of Silvaco and Synopsys for GaN HEMTs. *International Journal of Enhanced Research in Science Technology & Engineering*, 2, 152-155.
- Floyd, T. L. (2008). *Dispositivos Electrónicos* (Octava Edición). México: Pearson Educación.
- Gámiz Pérez, F., Godoy Medina, A., Roldán Aranda, A., Sampedro Matarín, C., Jiménez Tejada, J. A., Roldán Aranda, J. B., ... Cartujo Casinello, P. (2008). *NUEVAS TECNOLOGÍAS EN LOS DISPOSITIVOS ELECTRÓNICOS* (Primera). Granada: Departamento de Electrónica y Tecnología de Computadores. Recuperado a partir de <http://hdl.handle.net/10481/16041>
- Ho, B. (2012). *Evolutionary MOSFET Structure and Channel Design for Nanoscale CMOS Technology*. University of California, Berkeley.

- Hu, C. (2006). *MOSFET Technology Scaling, Leakage Current, and Other Topics*. Educación, Berkeley University. Recuperado a partir de <http://www-inst.eecs.berkeley.edu/~ee130/sp06/lecture.htm>
- Lu, L.-H. (2007). *MOS FIELD-EFFECT TRANSISTORS (MOSFETs)* [archivo PDF]. Recuperado a partir de <http://cc.ee.ntu.edu.tw/~lhlu/eecourses.html>
- Lukasiak, L., & Jakubowski, A. (2010). History of Semiconductors. *Journal of Telecommunications and Information Technology*, 9.
- Marin Niño de Zepeda, J. I. (2010, junio). *ESTUDIO COMPARATIVO DE ESTRATEGIAS DE EXTRACCION DE PARAMETROS PARA MODELOS COMPACTOS DE DISPOSITIVOS MOSFET EN ESCALA NANOMETRICA* (Tesis). Universidad de Chile, Departamento de Ingeniería Eléctrica.
- Martinez-Lopez, G., Martinez Castillo, A. J., Solís-Ávila, E., & Tinoco Magaña, C. (2015). *TECNOLOGÍA CMOS: AVANCES Y PERSPECTIVAS*.
- National Technology Roadmap for Semiconductors*. (1997) (Primera). Semiconductor Industry Association.
- Ozols, A. (2007). Transistor de Efecto de Campo, FET, Metal-Oxido-Semiconductor [archivo PDF]. Recuperado a partir de <http://materias.fi.uba.ar/6205/Material/Apuntes/>
- Paydavosi, N., Morshed, T. H., Lu, D., Yang, W., Dunga, M., Xi, X., ... Hu, C. (2013). *BSIM4v4.8.0 MOSFET Model* (User's Manual). Berkeley: University of California. Recuperado a partir de <http://www-device.eecs.berkeley.edu/bsim/?page=BSIM4>
- Poole, I. (2015, Abril). What is a MOSFET: Basics & Tutorial. Recuperado a partir de <http://www.radio-electronics.com/info/data/semicond/fet-field-effect-transistor/mosfet-basics-tutorial.php>
- Ran-Hong, Y., Abbas, O., & Kwing F., L. (1992). Scaling the Si MOSFET: From Bulk to SOI to Bulk. *IEEE Transactions on Electron Device*, 39(7).
- Razavi, B. (2001). *Design of analog CMOS Integrated Circuits*. Singapore: McGraw-Hill.
- Razavi, B. (2006). *Fundamentals of Microelectronics* (Primera Edición).
- Rizzoni, G. (2000). *Principles and Applications of Electrical Engineering* (Tercera Edición). Boston: McGraw-Hill.

- Sadiku, N. O. M. (2010). Elementos de Electromagnetismo (Tercera Edición). México: Alfaomega.
- Schiavon, M. I. (1997). Transistores de efecto de campo [archivo PDF] [Educación]. Recuperado a partir de <http://www.fceia.unr.edu.ar/eca1/Bibliografia.html>
- Sedra, A., & Smith, K. (2002). *Circuitos Microelectrónicos*. (J. Ruíz, Ed.) (Cuarta Edición). México: OXFORD.
- Sentaurus TCAD [Software]. (2011). (Versión 2011) [Centos]. California, Estados Unidos: Synopsys, Inc. Recuperado a partir de synopsys.com
- Shashank, N., Basak, S., & Nahar, R. (2010). Design and Simulation of Nano Scale High-K Based MOSFETs with Poly Silicon and Metal Gate Electrodes. *International Journal of Advancements in Technology*, 1, 252-261.
- Sneed, A. (2015). La Ley de Moore sigue válida, desafiando todas las expectativas. Recuperado 24 de mayo de 2016, a partir de <http://www.scientificamerican.com/espanol/noticias/la-ley-de-moore-sigue-valida-desafiando-todas-las-expectativas/>
- Stockinger, M. (2000). *Optimization of Ultra-Low-Power CMOS Transistors*. Universidad Técnica de Viena, Viena. Recuperado a partir de <http://www.iue.tuwien.ac.at/phd/stockinger/node15.html>
- Transistores de efecto de campo [archivo PDF]. (2002). Facultad Regional de Rosario. Recuperado a partir de https://www.frro.utn.edu.ar/repositorio/catedras/electrica/3_ano/electronica_1/apuntes/Transistor de Efecto de Campo. - fets_2002.pdf
- Ward, J. (2009). *History of Transistors* [archivo PDF] (Primera Edición). Recuperado a partir de <http://www.semiconductormuseum.com/MuseumLibrary/>
- Zeghbroeck, B. V. (2011). Principles of Semiconductor Devices. Recuperado 25 de mayo de 2016, a partir de <http://ecee.colorado.edu/~bart/book/movie/movies.htm>

ANEXOS

A1. Longitud efectiva del canal.

La distancia entre el drenaje y la fuente es conocida como longitud (L) (Razavi, 2001), entonces:

$$L_{eff} = L_{total} - 2L_D \quad Ec. 1$$

Donde:

L_{eff} es la longitud efectiva del canal, L_{total} es la longitud total y $2L_D$ es la difusión lateral (Razavi, 2001).

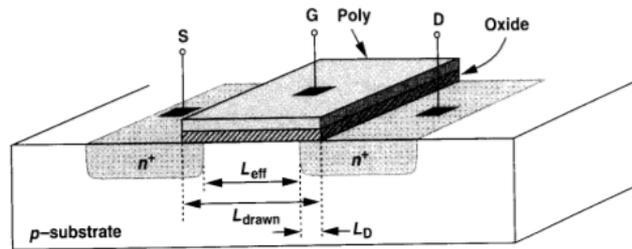


Figura A1.1: Estructura de un dispositivo MOSFET.
Fuente: Design of Analog CMOS Integrated Circuits (Razavi, 2001).

La corriente en el canal se la puede calcular a partir de la siguiente ecuación:

$$I = Q_d * v \quad Ec. 2$$

Donde:

Q_d es la densidad de carga (coulombs por metro) y v representa la velocidad de carga (metros por segundo) (Razavi, 2001).

Algunas cargas en la compuerta se reflejan por la carga en el canal, produciendo una densidad de carga uniforme igual a (Razavi, 2001):

$$Q_d = WC_{ox}(V_{GS} - V_{TH}) \quad Ec. 3$$

Donde:

C_{ox} es multiplicado por W para representar el total de la capacitancia por unidad de longitud (Razavi, 2001).

Entonces, la densidad de carga en un punto x a lo largo del canal puede ser escrito como:

$$Q_d(x) = WC_{ox}(V_{GS} - V(x) - V_{TH}) \quad Ec. 4$$

Donde:

$V(x)$ es el potencial en el canal para x (Razavi, 2001).

Reemplazando Ec. 3 en la Ec. 1, tenemos:

$$I_D = -WC_{ox}(V_{GS} - V(x) - V_{TH})v \quad \text{Ec. 5}$$

Donde:

$v = \mu E$, μ es la movilidad de carga en el canal y E es el campo eléctrico. Nótese que (Razavi, 2001):

$$E(x) = \frac{-dV}{dx} \quad \text{Ec. 6}$$

y representando la movilidad de electrones por μ_n , tenemos:

$$I_D = WC_{ox}(V_{GS} - V(x) - V_{TH})\mu_n \frac{dV}{dx} \quad \text{Ec. 7}$$

Dado que nos interesa despejar I_D multiplicamos las dos partes por dV y realizando la integral, obtenemos (Razavi, 2001):

$$\int_{x=0}^L I_D dx = \int_{V=0}^{V_{DS}} WC_{ox}(V_{GS} - V(x) - V_{TH})\mu_n dV \quad \text{Ec. 8}$$

Con I_D como constante:

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2] \quad \text{Ec. 9}$$

Si en la Ec. 8, $V_{DS} \ll 2(V_{GS} - V_{TH})V_{DS}$, tenemos:

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS}] \quad \text{Ec. 10}$$

A2. Gráficas tecnología 180 nm.

Tabla A2-1: Tecnología 180 nm con V_{DS} de 0.05V y $tiempo_{in}$ de 8s.

Tecnología (nm)	Entrada				Salida			
	Temp _{IN} (C)	tiempo _{IN} (s)	V_{GS} (V)	V_{DS} (V)	I_{DS} (A)	t_{OX} (um)	V_{TH} (V)	μ_{eff} ($\frac{m^2}{Vs}$)
180	850	8	1.8	0.05	9.72e-05	0.0029	0.701	0.0219

Fuente: Autor, (National Technology Roadmap for Semiconductors, 1997).
Elaboración: Autor.

Gráfica Tecnología 180 nm

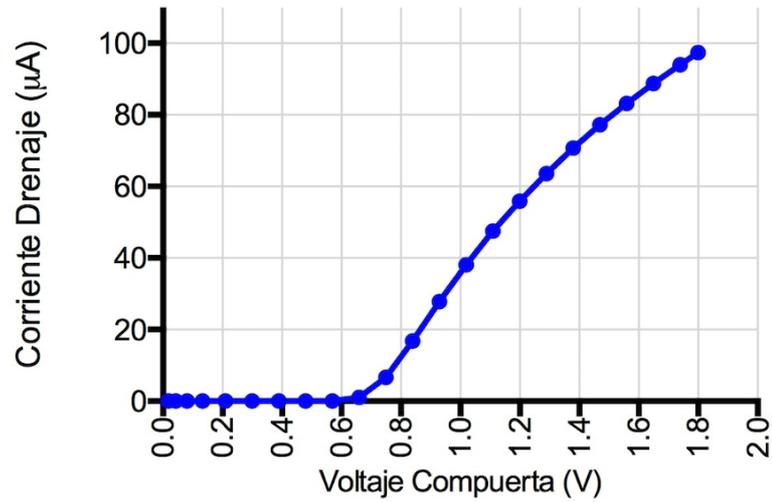


Figura A2.1: MOSFET 180 nm con V_{DS} de 0.05V y $tiempo_{in}$ de 8s.
Fuente: Autor.

Tabla A2-2: Tecnología 180 nm con V_{DS} de 0.01V y $tiempo_{in}$ de 8s.

Tecnología (nm)	Entrada				Salida			
	Temp _{IN} (C)	tiempo _{IN} (s)	V_{GS} (V)	V_{DS} (V)	I_{DS} (A)	t_{OX} (um)	V_{TH} (V)	μ_{eff} ($\frac{m^2}{Vs}$)
180	850	8	1.8	0.01	2.045e-05	0.0029	0.681	0.0226

Fuente: Autor, (National Technology Roadmap for Semiconductors, 1997).
Elaboración: Autor.

Gráfica Tecnología 180 nm

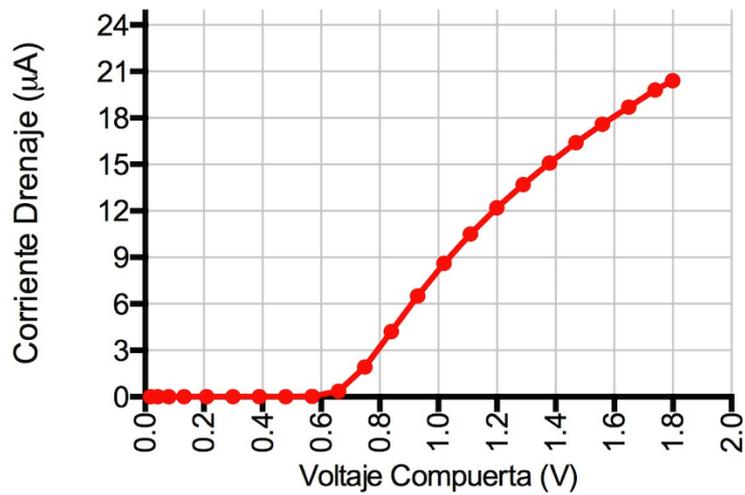


Figura A2.2: MOSFET 180 nm con V_{DS} de 0.01V y $tiempo_{in}$ de 8s.
Fuente: Autor.

Tabla A2-3: Tecnología 180 nm con V_{DS} de 0.05V y $tiempo_{in}$ de 9s.

Tecnología (nm)	Entrada				Salida			
	Temp _{IN} (C)	tiempo _{IN} (s)	V_{GS} (V)	V_{DS} (V)	I_{DS} (A)	t_{OX} (um)	V_{TH} (V)	μ_{eff} ($\frac{m^2}{Vs}$)
180	850	9	1.8	0.05	9.282e-05	0.0031	0.712	0.02263

Fuente: Autor, (National Technology Roadmap for Semiconductors, 1997).
 Elaboración: Autor.

Gráfica Tecnología 180 nm

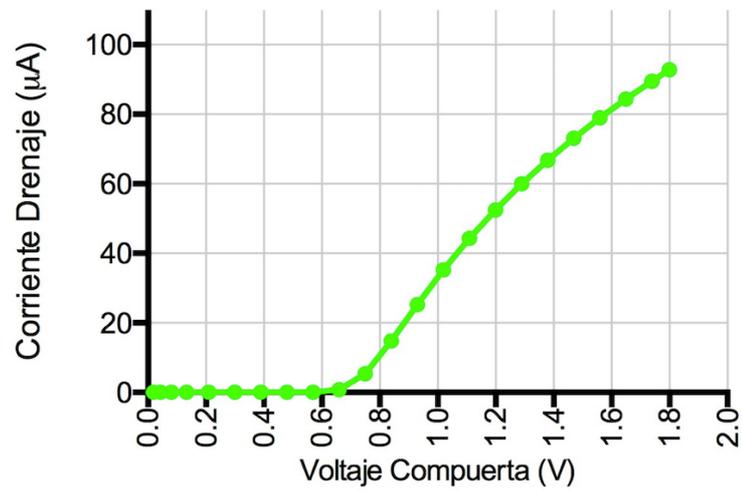


Figura A2.3: MOSFET 180 nm con V_{DS} de 0.05V y $tiempo_{in}$ de 9s.
 Fuente: Autor.

Tabla A2-4: Tecnología 180 nm simulado en distintos valores de t_{in} y V_{DS} .

Tecnología (nm)	Entrada				Salida			
	Temp _{IN} (C)	tiempo _{IN} (s)	V _{GS} (V)	V _{DS} (V)	I _{DS} (A)	t _{OX} (um)	V _{TH} (V)	μ _{eff} ($\frac{m^2}{Vs}$)
180	850	8	1.8	0.05	9.722e-05	0.0029	0.701	0.0219
180	850	8	1.8	0.01	2.045e-05	0.0029	0.681	0.0226
180	850	9	1.8	0.05	9.282e-05	0.0031	0.712	0.02263

Fuente: Autor, (*National Technology Roadmap for Semiconductors*, 1997).
Elaboración: Autor.

Gráfica Tecnología 180 nm

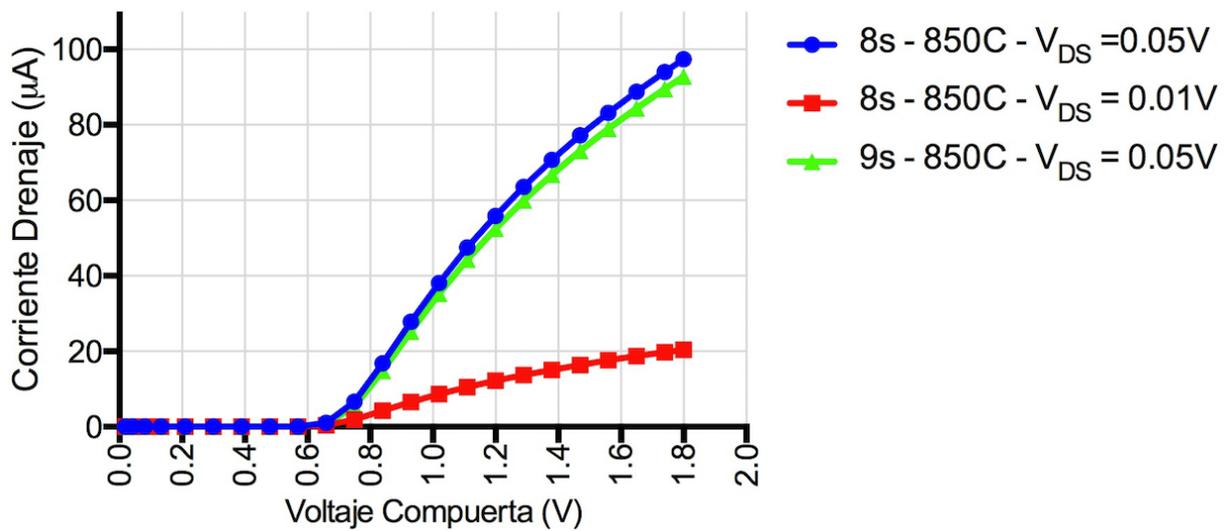


Figura A2.4: MOSFET 180 nm simulado en distintos valores de t_{in} y V_{DS}
Fuente: Autor.

A3. Gráficas tecnología 250 nm.

Tabla A3-1: Tecnología 250 nm con V_{DS} de 0.05V y $tiempo_{in}$ de 8s.

Tecnología (nm)	Entrada				Salida			
	Temp _{IN} (C)	tiempo _{IN} (s)	V_{GS} (V)	V_{DS} (V)	I_{DS} (A)	t_{OX} (um)	V_{TH} (V)	μ_{eff} ($\frac{m^2}{Vs}$)
250	850	8	2.3	0.05	9.11e-05	0.0029	0.715	0.0198

Fuente: Autor, (*National Technology Roadmap for Semiconductors*, 1997).
Elaboración: Autor.

Gráfica Tecnología 250 nm

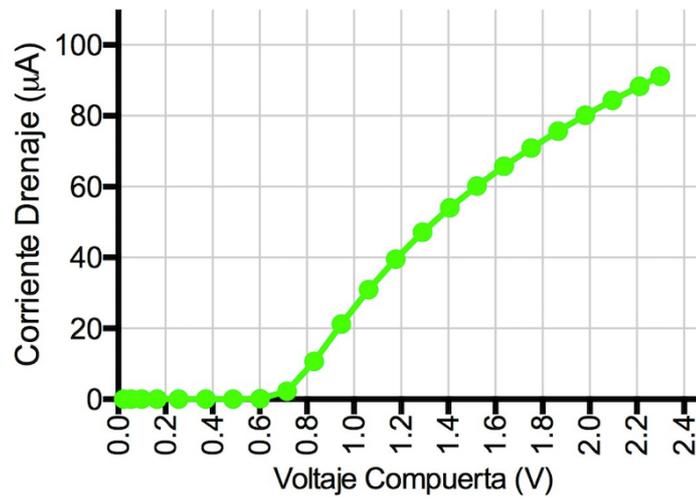


Figura A3.1: MOSFET 250 nm con V_{DS} de 0.05V y $tiempo_{in}$ de 8s.
Fuente: Autor.

Tabla A3-2: Tecnología 250 nm con V_{DS} de 0.01V y $tiempo_{in}$ de 8s.

Tecnología (nm)	Entrada				Salida			
	Temp _{IN} (C)	tiempo _{IN} (s)	V_{GS} (V)	V_{DS} (V)	I_{DS} (A)	t_{OX} (um)	V_{TH} (V)	μ_{eff} ($\frac{m^2}{Vs}$)
250	850	8	2.3	0.01	1.881e-05	0.0029	0.689	0.0201

Fuente: Autor, (*National Technology Roadmap for Semiconductors*, 1997).
Elaboración: Autor.

Gráfica Tecnología 250 nm

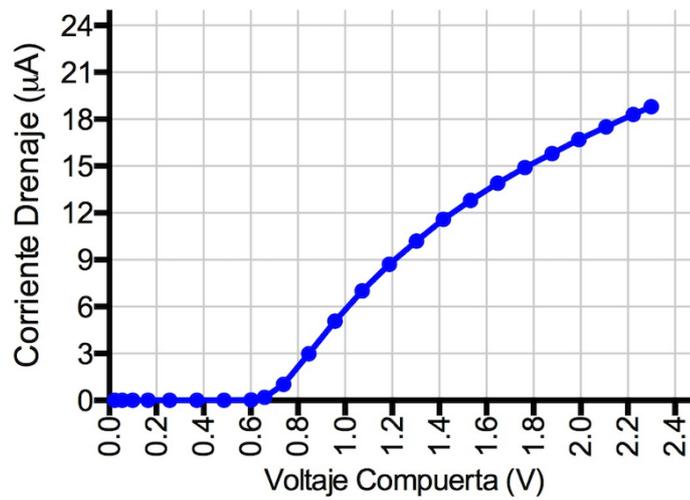


Figura A3.2: MOSFET 250 nm con V_{DS} de 0.01V y $tiempo_{in}$ de 8s.
Fuente: Autor.

Tabla A3-3: Tecnología 250 nm con V_{DS} de 0.05V y $tiempo_{in}$ de 9s.

Tecnología (nm)	Entrada				Salida			
	Temp _{IN} (C)	tiempo _{IN} (s)	V_{GS} (V)	V_{DS} (V)	I_{DS} (A)	t_{OX} (um)	V_{TH} (V)	μ_{eff} ($\frac{m^2}{Vs}$)
250	850	9	2.3	0.05	8.698e-05	0.0031	0.727	0.0203

Fuente: Autor, (*National Technology Roadmap for Semiconductors*, 1997).
 Elaboración: Autor.

Gráfica Tecnología 250 nm

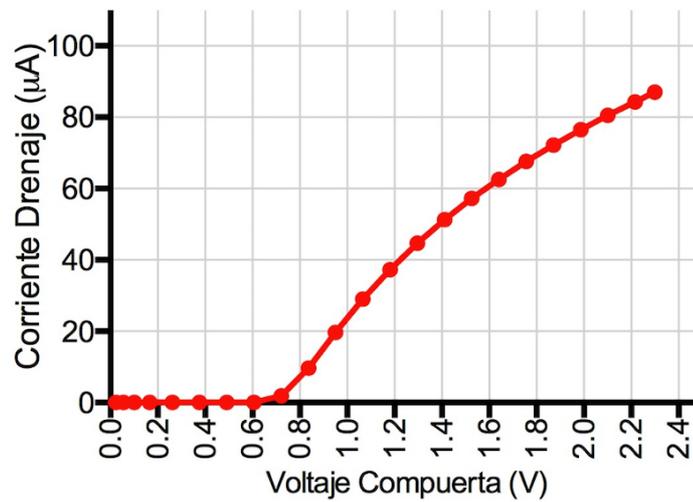


Figura A3.3: MOSFET 250 nm con V_{DS} de 0.05V y $tiempo_{in}$ de 9s.
 Fuente: Autor.

Tabla A3-4: Tecnología 250 nm simulado en distintos valores de t_{in} y V_{DS} .

Tecnología (nm)	Entrada				Salida			
	Temp _{IN} (C)	tiempo _{IN} (s)	V _{GS} (V)	V _{DS} (V)	I _{DS} (A)	t _{ox} (um)	V _{TH} (V)	μ _{eff} ($\frac{m^2}{Vs}$)
250	850	8	2.3	0.05	9.11e-05	0.0029	0.715	0.0198
250	850	8	2.3	0.01	1.881e-05	0.0029	0.689	0.0201
250	850	9	2.3	0.05	8.698e-05	0.0031	0.727	0.0203

Fuente: Autor, (National Technology Roadmap for Semiconductors, 1997).

Elaboración: Autor.

Gráfica Tecnología 250 nm

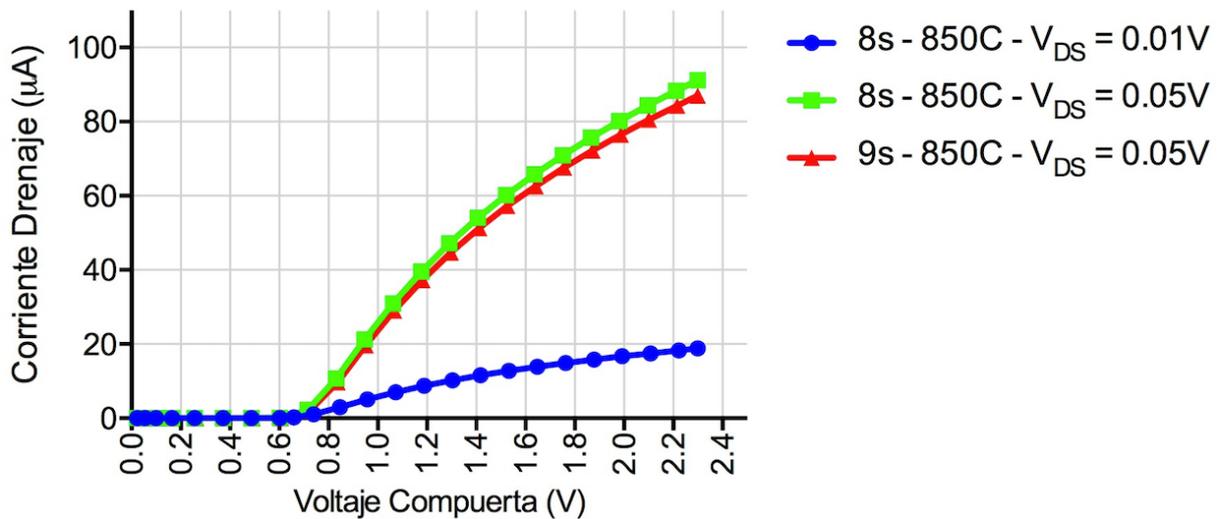


Figura A3.4: MOSFET 250 nm simulado en distintos valores de t_{in} y V_{DS}

Fuente: Autor.