



UNIVERSIDAD TÉCNICA PARTICULAR DE LOJA

La Universidad Católica de Loja

ÁREA TÉCNICA

**TÍTULO DE INGENIERO EN ELECTRÓNICA Y
TELECOMUNICACIONES**

**Diseñar y caracterizar dispositivos mosfet 2D mediante diferentes
métodos de deposición de óxido (SiO₂) de compuerta.**

TRABAJO DE TITULACIÓN.

AUTOR: Sr. Rodríguez Ojeda, Israel Andrés

DIRECTOR: Ph.D. Villamagua Conza, Luis Miguel

LOJA - ECUADOR

2017



Esta versión digital, ha sido acreditada bajo la licencia Creative Commons 4.0, CC BY-NY-SA: Reconocimiento-No comercial-Compartir igual; la cual permite copiar, distribuir y comunicar públicamente la obra, mientras se reconozca la autoría original, no se utilice con fines comerciales y se permiten obras derivadas, siempre que mantenga la misma licencia al ser divulgada. <http://creativecommons.org/licenses/by-nc-sa/4.0/deed.es>

2017

APROBACIÓN DEL DIRECTOR DEL TRABAJO DE TITULACIÓN

Doctor.

Luis Miguel Villamagua Conza.

DOCENTE DE LA TITULACIÓN.

De mi consideración:

El presente trabajo de titulación: Diseñar y caracterizar dispositivos MOSFET 2D mediante diferentes métodos de deposición de óxido (SiO_2) de compuerta, realizado por Israel Andrés Rodríguez Ojeda ha sido orientado y revisado durante su ejecución, por cuanto se aprueba la presentación del mismo.

Loja, septiembre de 2017

f)

DECLARACIÓN DE AUTORÍA Y CESIÓN DE DERECHOS

Yo Israel Andrés Rodríguez Ojeda declaro ser autor (a) del presente trabajo de titulación: Diseño y caracterización eléctrica de un dispositivo MOSFET 2D por diferentes métodos de oxidación, de la Titulación de Electrónica y Telecomunicaciones, siendo Luis Miguel Villamagua Conza director (a) del presente trabajo; y eximo expresamente a la Universidad Técnica Particular de Loja y a sus representantes legales de posibles reclamos o acciones legales. Además, certifico que las ideas, conceptos, procedimientos y resultados vertidos en el presente trabajo investigativo, son de mi exclusiva responsabilidad.

Adicionalmente declaro conocer y aceptar la disposición del Art. 88 del Estado Orgánico de la Universidad Técnica Particular de Loja que en su parte pertinente textualmente dice: "Forman parte del patrimonio de la Universidad la propiedad intelectual de investigaciones, trabajos científicos o técnicos y tesis de grado o trabajos de titulación que se realicen con el apoyo financiero, académico o institucional (operativo) de la Universidad"

f.

Autor: Rodríguez Ojeda Israel Andrés

Cédula: 1900463116

DEDICATORIA

A mi familia con mucho amor y cariño les dedico el esfuerzo realizado en este trabajo.

A Lucia, no sabes cuánto te extraño, sé que estarías orgullosa de verme realizado profesional, tu amor nunca me ha faltado, por ti y para ti cada uno de mis logros Abuela

Israel Andrés Rodríguez Ojeda

AGRADECIMIENTO

A mis padres, Wilman y Yolanda, quienes incondicionalmente me brindaron su apoyo, y me supieron guiar cuando todo parecía oscuridad. Papá has sabido guiar mi camino por la senda correcta, tus consejos, anécdotas y enseñanzas las llevo siempre conmigo. Mamá siempre tuviste sabias palabras para mí, tus abrazos calmaban mi ansiedad, y en las noches extrañé tu compañía, solías decir que hiciera que valiera la pena, y por ustedes hice que así fuera. Estoy orgulloso de la persona en la cual me convirtieron.

A mis hermanos Vanessa, Oscar y Emily, por su amor y comprensión, la familia siempre será lo más importante, y ustedes me demostraron que la calidad de vida que una persona tiene es directamente proporcional al amor que recibes de tu familia.

A mis tíos Miguel, Sergio y Gladys por su inusual e inmejorable manera de ayudar en mi formación, ustedes nunca me negaron un consejo y tuvieron una sonrisa siempre disponible para mí.

A mi director de tesis, quien ha sido mi maestro a través de todo este viaje que culmina con la finalización de este trabajo.

A Thalía por el amor que me brindas, por ese temple para insistir que siempre que me lo proponga lo voy a lograr.

A mis amigos quienes hicieron amena mi vida universitaria, aquellos con los que compartí, alegrías y tristezas en un aula universitaria.

ÍNDICE DE CONTENIDOS

CARATULA.....	i
APROBACIÓN DEL DIRECTOR DEL TRABAJO DE TITULACIÓN	ii
DECLARACIÓN DE AUTORÍA Y CESIÓN DE DERECHOS.....	iii
DEDICATORIA.....	iv
AGRADECIMIENTO	v
ÍNDICE DE CONTENIDOS	vi
ÍNDICE DE FIGURAS	viii
ÍNDICE DE TABLAS	ix
ABSTRACT	2
INTRODUCCIÓN.....	3
ACRÓNIMOS	5
CAPITULO I	6
1. OBJETIVO GENERAL, OBJETIVOS ESPECÍFICOS, ESTADO DEL ARTE	6
1.1 Objetivo General:	7
1.2 Objetivos específicos:.....	7
1.3 Transistor MOSFET	7
1.3.1 Transistor MOSFET de enriquecimiento.	8
1.4 Estructura del dispositivo MOSFET	8
1.5 Nodos tecnológicos de los MOSFET.....	10
1.6 Modelado central	10
1.7 Método de extracción BSIM4.....	10
1.8 Software de Simulación	10
1.9 Fabricación de un MOSFET	11
1.9.1 Oxidación.....	12
a. Oxidación en seco.....	12
b. Oxidación en húmedo	12
1.9.2 Difusión.....	13
1.9.3 Implantación de iones.	13
1.9.4 Fotolitografía.....	13
CAPITULO II	15
2. CURVAS CARACTERÍSTICAS, CÁLCULO DE LA MOVILIDAD EFECTIVA.....	15
2.1 El voltaje umbral (V_{TH}).....	16
2.2 Voltaje drenaje-fuente (V_{DS})	17

2.3	Corriente drenaje-fuente-saturación (I_{DSSat})	17
2.4	Voltaje de estrangulamiento (V_{DSSat})	18
2.5	Movilidad efectiva	18
2.5.1	Calculo de movilidad efectiva	18
2.5.2	Longitud efectiva del canal (L_{eff})	19
2.5.3	Capacitancia del óxido (C_{ox})	19
2.5.4	Conductancia de drenaje g_D	20
CAPITULO III		21
3.	DISEÑO, CONSTRUCCIÓN, DISCUSIÓN DE RESULTADOS	21
3.1	Diseño	22
3.2	Construcción de dispositivo MOSFET	23
3.2.1	Creación de óxido e incrustación de dosis inicial	24
3.2.2	Litografía y deposición del polisilicio	24
3.2.3	Creación de la capa de inversión	25
3.2.4	Aislamiento de compuerta	26
3.2.5	Creación de drenaje y fuente	27
3.2.6	Creación de terminales	27
3.2	Simulación y resultados obtenidos	28
3.2.5	Resultados de oxidación en seco (SiO_2)	28
3.2.6	Resultados de oxidación Húmeda ($SiO_2 + 2H_2$)	33
3.3	Discusión de resultados.	37
3.3.1	Triangulación de resultados	38
CONCLUSIONES		40
RECOMENDACIONES		41
BIBLIOGRAFÍA		42
ANEXOS		45

ÍNDICE DE FIGURAS

Figura 1.1 Transistor de efecto de campo Metal-Óxido-Semiconductor.....	8
Figura 1.2 Estructura de un MOSFET tipo-n	9
Figura 1.3 MOSFET tipo-n, terminales, longitud (L), ancho (W) del canal, regiones.	9
Figura 1.4 a Obtención de oblea de silicio puro (Si).....	11
Figura 1.4 b Oblea de Silicio (Si) para construcción de CI	12
Figura 1.5 Radiación de luz ultravioleta para realización de Fotolitografía.	14
Figura 2.1 Voltaje umbral V_{TH} y corriente de drenaje I_D	16
Figura 2.2. Corriente Drenaje-Fuente de Saturación	17
Figura 2.3. Voltaje de estrangulamiento V_{DSsat}	18
Figura 3.1. Dimensiones del transistor en dadas en nm	23
Figura 3.2. a) Oblea de silicio (Si). b) Enmallado en la oblea de silicio (Si)	23
Figura 3.3. Incrustación de impurezas con boro (B).....	24
Figura 3.4. Implantación de polisilicio y arsénico.	25
Figura 3.5. Implantación de nitruro isotrópico.....	26
Figura 3.6. Aislamiento de compuerta.	27
Figura 3.7. Deposición de aluminio para drenaje y fuente.	28
Figura 3.8. MOSFET de canal n.	28
Figura 3.9 a) t_{ox} $t = 9$ s y $T = 850$ °C, b) t_{ox} $t = 10$ s y $T = 850$ °C	29
Figura 3.10. t_{ox} con un $t = 9$ s y diferentes temperaturas, con el método seco.....	30
Figura 3.11. Curva I-V, en $T = 850$ °C y $t = 9$ s, método seco.	31
Figura 3.12. Curva I-V, en $T = 850$ °C y $t = 10$ método seco.	32
Figura 3.13. t_{ox} con un $t = 9$ s y diferentes temperaturas, con el método húmedo.	34
Figura 3.14. Curva I-V, en $T = 850$ °C y $t = 9$ s, método húmedo.....	35
Figura 3.15 Curva I-V, en $T = 850$ °C y $t = 10$ s, método húmedo.	36

ÍNDICE DE TABLAS

Tabla 1. Valores de I_{DSSAT} , V_{TH} , y t_{OX}	22
Tabla 2. Valores de diseño.....	22
Tabla 3. Resultados de t_{OX} en la compuerta en el método seco.....	29
Tabla 4. Resultados de V_{TH} y I_{DSSat}	30
Tabla 5. Resultados de t_{OX} en la compuerta para el método humedo.....	33
Tabla 6. Resultados de V_{TH} y I_{DSSat}	34

RESUMEN

El objetivo del trabajo de titulación es llevar a cabo el diseño y caracterización de dispositivos MOSFET, variando el espesor del óxido en la compuerta en el nodo tecnológico de 250 nm. Los cambios en las características eléctricas para las configuraciones examinadas se atribuyen a los niveles de dopaje, niveles de difusión y métodos de oxidación (húmedo y seco). Exponemos nuestros resultados en términos de corrientes de saturación drenaje-fuente, tensión umbral, y movilidad efectiva.

PALABRAS CLAVES: Movilidad efectiva, portadores, dopaje, difusión, BSIM4.

ABSTRACT

The aim of the present research work the design and characterization of MOSFET devices as the gate oxide thickness is varied in a 250-nm technologic node. Changes in the electrical characteristics for the herein exploited configurations are ascribed to the doping levels, diffusion levels and oxidation methods (wet and dry). We explain our results in terms of drain saturation currents, threshold voltage, and effective mobility.

KEYWORDS: Effective mobility, carriers, doping, diffusion, BSIM4.

INTRODUCCIÓN

En el marco de investigación del trabajo de titulación, es imperativo precisar que en los últimos años la tecnología en todas las áreas del conocimiento ha experimentado grandes avances, a partir de procesos de transformación y generación de nuevas tecnologías de punta, que han permitido dar este salto de calidad a nuevas tecnologías. Comenzó con la invención de la primera computadora compuesta principalmente por tubos de vacío, hasta las modernas versiones que actualmente existen, las cuales conforman su estructura principalmente de transistores. Su desempeño se ha incrementado exponencialmente y su tamaño ha ido mejorando ostensiblemente con una marcada tendencia a la reducción de espacio; Gordon Moore al notar estos eventos formuló la denominada Ley de Moore, que expresa que “aproximadamente cada 18 meses se reducirá el espacio físico y se aumentará el número de transistores incorporados en chip, microprocesador, o circuito integrado” (Sneed, 2015).

Se ha previsto la implementación de un laboratorio de simulación. En este caso se partió de una tecnología existente, la cual permitió realizar la reproducción, para proceder a comparar resultados, pretendiendo optimizar al máximo las simulaciones que se realizarán como ensayos y en futuros trabajos de investigación se planifique la creación de innovadores transistores.

La investigación se ha basado en la recolección de información a partir de varios artículos científicos, libros, informes y demás, los cuales han permitido encontrar niveles de dopajes, tiempo de oxidación, corrientes de saturación, voltajes umbrales, etc. Esto ha permitido tener una clara idea de cómo fabricar un transistor MOSFET, para consecutivamente proceder a su caracterización.

El presente trabajo de titulación está organizado en 3 capítulos, los cuales se encuentran distribuidos de la siguiente manera:

En el capítulo I, se detalla el principio de funcionamiento de un transistor MOSFET de enriquecimiento tipo n . Además, se definen conceptos de difusión, litográfica, implantación de iones y métodos de oxidación.

En el capítulo II, se detallan conceptos como voltaje umbral, corriente de saturación, movilidad efectiva, entre otros y sus respectivas fórmulas para realizar la caracterización eléctrica de un dispositivo MOSFET.

En el capítulo III, se establecen rangos en los cuales deben manejarse los resultados de simulación. También se realiza un análisis de los resultados obtenidos y se los compara con los rangos obtenidos por bibliografía.

ACRÓNIMOS

I_D	Corriente de drenaje.
I_{DS}	Corriente drenaje-fuente
V_{GS}	Voltaje compuerta-fuente.
V_{DS}	Voltaje drenaje-fuente
V_{TH}	Voltaje de umbral.
V_{DSSat}	Voltaje drenaje-fuente de saturación
V_P	Voltaje de estrangulamiento
A	Amperios.
V	Voltios.
F	Faradios.
G	Compuerta.
SS	Substrato.
D	Drenaje.
S	Fuente.
W	Ancho de compuerta.
L	Longitud del Canal.
n^+	Semiconductor dopado tipo n.
p^+	Semiconductor dopado tipo p.
Si	Silicio.
SiO_2	Óxido de Silicio.
MOSFET	Transistor de Efecto de Campo Metal-Óxido Semiconductor
μ_{eff}	Movilidad efectiva
L_{eff}	Longitud efectiva
W_{eff}	Ancho efectivo
g_D	Conductancia del drenaje
C_{OX}	Capacitancia del óxido
t_{OX}	Espesor del óxido
ϵ_{OX}	Permitividad del óxido
ϵ_r	Permitividad eléctrica del material
ϵ_0	Constante de permitividad

CAPITULO I

1. OBJETIVO GENERAL, OBJETIVOS ESPECÍFICOS, ESTADO DEL ARTE

1.1 Objetivo General:

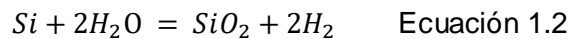
Diseñar y caracterizar dispositivos MOSFET 2D mediante diferentes métodos de deposición de óxido (SiO_2) de compuerta.

1.2 Objetivos específicos:

- Diseñar y simular un dispositivo usando el método de deposición:



- Diseñar y simular un dispositivo usando el método de deposición:



- Analizar características eléctricas de ambas estructuras (curvas I-V, voltaje de umbral, movilidad de portadores)

1.3 Transistor MOSFET

Existen dos tipos de transistores: el transistor de unión bipolar o BJT (de sus siglas en inglés *Bipolar Junction transistor*) y el transistor de efecto de campo FET (de sus siglas en inglés *Field-Effect Transistor*). Para aplicaciones en circuitos integrados los transistores más empleados son los FET, estos se derivan en 3 tipos: JFET (Efecto de campo), MESFET (efecto de campo de unión metal-semiconductor), MOSFET (efecto de campo metal-óxido-semiconductor), los cuales basan su funcionamiento en el control de una corriente mediante la aplicación de un campo eléctrico. Algunas de las principales diferencias de los transistores FET con los transistores bipolares son: La alta impedancia a la entrada (Z), el consumo disminuido de potencia (W), la conformación de materiales, entre otros (Albella, 1996, pp. 255-226).

El transistor es un dispositivo semiconductor, compuesto de germanio o silicio, los cuales fueron patentados por primera vez por W. Shockley en 1951. Los transistores de efecto de campo están compuestos por 3 terminales: Fuente (S), Drenaje (D) y Compuerta (G). Los MOSFET (de sus siglas en inglés **Metal-Oxide-Semiconductor Field-Effect Transistor**) a diferencia de los FET están compuestos por 4 terminales: Fuente (S), Drenaje (D), Compuerta (G) y Sustrato (SS) esta terminal se encuentra por lo general conectada internamente o conectada a tierra (Huircan & Carrillo, 2011, p. 2).

Los transistores MOSFET están compuestos por material de tipo n o tipo p . Por este motivo se los conoce como transistores unipolares. Si la corriente que circula se debe a electrones (e^-) será de canal n y si, a su vez la corriente que circula se debe a huecos (h^+) será de canal tipo p (Huircan & Carrillo, 2011, p. 1). Además, existen dos tipos de

transistores MOSFET estos son: de enriquecimiento y de empobrecimiento. Los transistores de empobrecimiento trabajan en la región de agotamiento del canal, por lo cual también es conocido por el mismo nombre (Albella, 1996, p. 254). La región de agotamiento se explicará en las secciones siguientes.

1.3.1 Transistor MOSFET de enriquecimiento.

En esta sección nos vamos a centrar en el MOSFET de enriquecimiento, para exponer las características que poseen (voltajes, corrientes, etc.).

El MOSFET está compuesto por una estructura metal-óxido-semiconductor donde la lámina metálica superior es depositada sobre una lámina aislante y esta a su vez actuará como el conector compuerta (*Gate*). Existen dos regiones altamente dopadas con impurezas, que se encuentran situadas a cada lado de la compuerta; sobre cada una de estas regiones se deposita una lámina metálica quedando conformada la fuente (*source*) y el drenaje (*drain*), en la superficie inferior se deposita una capa metálica que se mantiene conectada a tierra llamada sustrato (SS) (Albella, 1996, p. 243).

Las regiones altamente dopadas son la fuente (S) y el drenaje (D), estas se encuentran aisladas por una pequeña capa (de unos cuantos micrómetros μm) de óxido de silicio (SiO_2), este es un excelente aislador eléctrico, esto produce que las regiones de fuente y drenaje queden aisladas al quedar recubiertas por el óxido de silicio SiO_2 (Sedra & Smith, 2002, pp. 370-371).

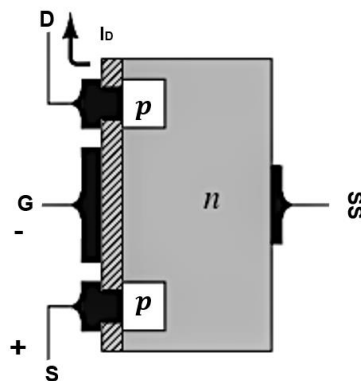


Figura 1.1 Transistor de efecto de campo Metal-Óxido-Semiconductor.
Fuente: (Boylestad & Nashelsky, 2009, p. 397).
Modificado: Autor

1.4 Estructura del dispositivo MOSFET

Para explicar la estructura de un transistor MOSFET, se tomará como referencia la estructura de un MOSFET- tipo n, como se puede apreciar en la figura 1.2. La estructura esencial se basa en una oblea de silicio (Si) de tipo p, y cuenta con dos zonas drenaje

y fuente altamente dopadas con impurezas tipo n , las cuales van a ser creadas mediante procesos de difusión. El óxido será, de una capa delgada la cual se encuentra situada entre $0.02\text{-}0.1\ \mu\text{m}$, pero esto dependerá de la tecnología a emplear, sin embargo, si la capa de óxido es muy delgada producirá corrientes de fuga. Cabe señalar, que mientras el canal disminuya de tamaño (tecnología) se va a reducir el límite de corriente y voltaje, a los cuales podrá ser sometido el transistor (Sedra & Smith, 2002, p. 370).

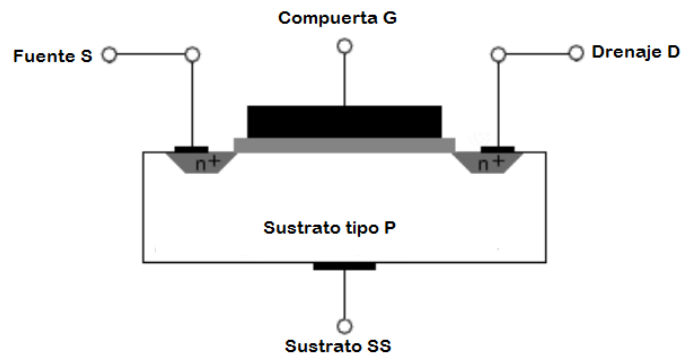


Figura 1.2 Estructura de un MOSFET tipo-n
Fuente: (El Transistor MOSFET, 2014)
Modificado: Autor

Se añade el metal en la parte superior del SiO_2 , para formar la compuerta (G), también es añadido el metal a las terminales fuente (S), drenaje (D), y en el sustrato (SS), los cuales también son llamados electrodos. La separación entre drenaje y fuente lo dictaminará el largo del canal, el cual dependerá de la tecnología que se está empleando. El ancho del canal puede ser de entre $10\ \mu\text{m}$ a $7\ \text{nm}$, al terminar de realizar la composición y ubicación de los diferentes materiales, estará creado un transistor MOSFET de canal n (*International Technology Roadmap for Semiconductors*, 1997, p. 30).

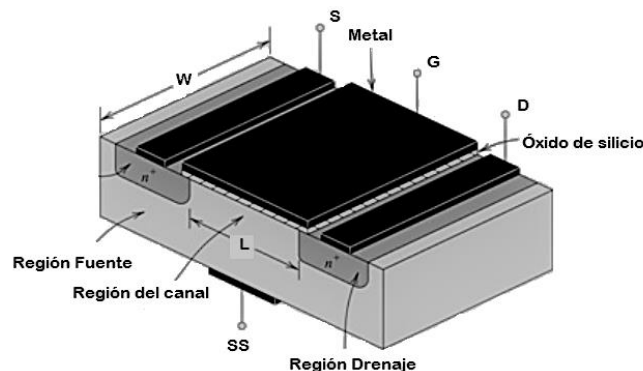


Figura 1.3 MOSFET tipo-n, terminales, longitud (L), ancho (W) del canal, regiones.
Fuente: (Patiño, 2017, p. 2)
Modificado: Autor

1.5 Nodos tecnológicos de los MOSFET

La revolución tecnológica se ha producido en gran medida al escalamiento de la tecnología. Esto permitió la reducción del tamaño del transistor, lo cual derivó en el aumento de transistores en los circuitos integrados (CIs). El escalamiento es la reducción de la longitud de canal intentando mejor o conservar las características del dispositivo. El ITRS (*International Technology Roadmap for Semiconductors*, 1997) cataloga el escalamiento por nodos tecnológicos, presentando anualmente avances y proyecciones para nuevas tecnologías de semiconductores.

El presente trabajo de titulación está basado en el estudio de la tecnología de 250 nm, esta tecnología permite evidenciar el crecimiento del espesor de óxido y analizar los parámetros establecidos como objetivos.

1.6 Modelado central

El modelado central permite el diseño del transistor a partir de la longitud del canal. Mediante el nodo tecnológico se puede determinar las distintas dimensiones, como: el tamaño del sustrato, las terminales de drenaje, fuente, compuerta y la separación entre los contactores. Además, este modelado permite dopar el sustrato con diferentes niveles energía y con materiales como fósforo o boro en el proceso de fabricación, permitiendo aumentar o disminuir la movilidad de portadores. (Marin, Niño de Zepedia, 2010, p. 21).

1.7 Método de extracción BSIM4

El modelo BSIM4 fue desarrollado por el grupo de investigación de dispositivos de la universidad de Berkeley en California. Su primera versión lanzado en el octubre del 2000, está basada en el BSIM3. Permite la descripción de tecnologías que no se encuentran por debajo de los 100 nm (Marin, Niño de Zepedia, 2010, p. 33).

Este método de extracción de parámetros, permite el ajuste de valores de activación del transistor como: voltaje drenaje (V_D), y el voltaje compuerta-fuente (V_{GS}), el cual permitirá controlar los valores de saturación V_{DSSat} y voltaje umbral (V_{TH}) (Yang Wenwei, Mohan V., Xuemei, Xi, & Hu, 2013, p. 10).

1.8 Software de Simulación

Para la construcción virtual del transistor MOSFET se ha empleado Sentaurus TCAD (*Sentaurus TCAD [Software]*, 2011), el cual es una herramienta simulación de

semiconductores. Este software permite mediante una interfaz de programación realizar procesos de difusión, implantación de iones y horneado. Permitiendo controlar sus variables como: tiempo, temperatura, energía, tipo de impurezas, ángulo de incrustación, etc. A demás de la obtención de resultados, lo que es indispensable para el desarrollo de este trabajo.

Sentaurus TCAD, simula procesos matemáticos de aproximación (método fermi), dentro de un mismo entorno. Aunque el proceso de obtención de resultados es tedioso (por el tiempo que demora en arrojarlos), sus resultados son notoriamente aproximados a la realidad (transistor físico).

Sentaururs TCAD trabaja en las siguientes unidades: micrómetros (μm), Voltio (V), y Amper (A), las cuales se encuentran establecidas por el programa.

1.9 Fabricación de un MOSFET

La fabricación de un transistor MOSFET atraviesa una serie de procesos, algunos de los cuales se podrán llevar a cabo varias veces, en diferentes combinaciones (método de oxidación) y condiciones (temperatura, tiempo y dopajes).

El transistor está creado de un solo cristal, el cual es una oblea de silicio de alta pureza, creadas como cristal al vacío y cortadas en obleas, para eliminar irregularidades son sometidas a procesos químicos y mecánicos; ya obtenida la oblea en la cual se va a trabajar empieza los procesos que le darán las características eléctricas en el cual incluso se podrá modificar el tipo de sustrato si es de tipo n o de tipo p (Christoper Saint & Saint, 2002, p. 49).

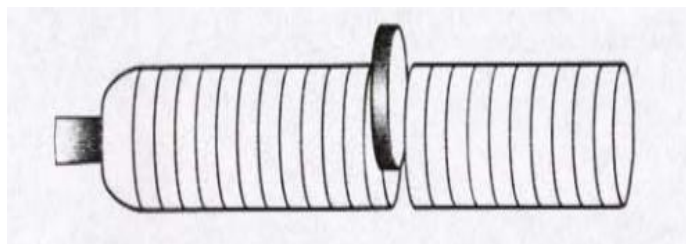


Figura 1.4 a Obtención de oblea de silicio puro (Si)
Fuente: (Christopher Saint & Saint, 2002, p. 50)
Modificado: Autor

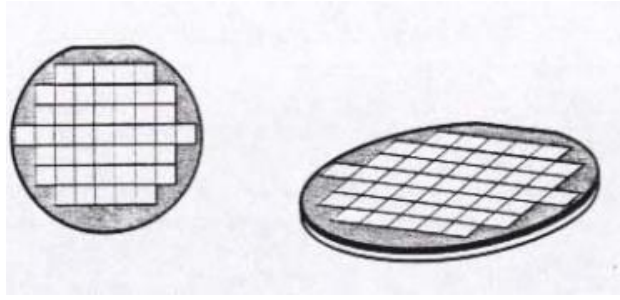


Figura 1.4 b Oblea de Silicio (Si) para construcción de CI
Fuente: (Christopher Saint & Saint, 2002, p. 51)
Modificado: Autor

1.9.1 Oxidación

El espesor óxido se crea como aislante entre los contactores de fuente y drenaje, está también servirá como una máscara o capa protección, contra la alta energía que pueda producir por la implantación de iones. Existen dos métodos para la implantación o creación del espesor de óxido de silicio en el transistor, estas pueden ser: por una reacción química entre el oxígeno y el silicio sometido a altas temperaturas conocida como *dry oxidation* u oxidación en seco (ecuación 1.1) o la reacción química, pero en esta ocasión sometiendo el oxígeno con vapor de agua, de igual manera a altas temperaturas superando los 1000°C conocida como *wet oxidation* u oxidación húmeda (ecuación 1.2) (Pal, 2014, p. 21).

a. Oxidación en seco

El proceso de creación del espesor de óxido con el método de oxidación en seco se realiza mediante la introducción de un pequeño porcentaje de ácido clorhídrico con oxígeno. Esto produce una delgado pero robusta capa de óxido, la cual es usada para la estructura de la compuerta (G). Por consiguiente permite que se aisle los tres contactos compuerta (G), fuente (S) y drenaje (D) (Pal, 2014, p. 22).

Algunas de las características de la oxidación en seco (Microsystems Technology Laboratories, 2004, p. 13):

- Crecimiento lento del óxido.
- Alta densidad.
- Alto voltaje de ruptura.

b. Oxidación en húmedo

La oxidación húmeda se realiza con oxígeno y moléculas de agua de aquí su nombre oxidación en húmedo, estas moléculas son ingresadas como vapor, el proceso de creación del espesor de óxido, es de menor calidad que la realizada por la oxidación en

seco (Microsystems Technology Laboratories, 2004, p. 13). Características de la oxidación en Húmedo:

- Crecimiento de óxido rápido incluso en bajas temperaturas.
- Óxido de menor calidad, no resistente a voltajes de ruptura altos.

1.9.2 Difusión.

Es la incrustación de átomos en la red de silicio, este proceso es muy lento en sólidos, para lo cual se recurre a difusión en altas temperaturas, las cuales suelen ser entre 900 y 1200° C. Con tales valores se busca modificar las características eléctricas del sustrato, para controlar el crecimiento de SiO₂. También a altas temperaturas se debe manejar un tiempo estimado, pues crecerá con mucha rapidez al ser sometida a las temperaturas antes mencionadas. Para incrustación de átomos en la red de silicio se emplean impurezas como el boro, arsénico o fósforo, dependiendo del tipo de características que se quiere incrustar en el sustrato (Sedra & Smith, 2002, p. 1256).

1.9.3 Implantación de iones.

Otro método por el cual se puede introducir impurezas es la implantación de iones. En el silicio, esto se realiza a través de un campo eléctrico que acelerará las partículas permitiendo que penetren en el sustrato SiO₂, la penetración de las partículas es directamente proporcional al campo eléctrico que se le aplique, lo cual permite un mejor control de la cantidad de impurezas implantadas, en comparación al método de difusión este método es de mayor precisión, aunque es realizable a temperatura ambiente, solo se lo realiza cuando la precisión del contaminante es esencial en el desempeño del dispositivo (Hu, 2009, pp. 70-71).

1.9.4 Fotolitografía

La superficie del sustrato se cubre con un material fotosensible, al aplicar una alta radiación de energía (luz ultravioleta), el material fotosensible se suaviza y puede ser retirado con un revelador químico, pero antes de este proceso y con la ayuda de una máscara de vidrio (patrón matriz), se cubre las regiones que no se desea sean afectadas por la radiación como se puede apreciar en la figura 1.5 (Hu, 2009, pp. 64-65-66).

La incrustación de impurezas depende de la intensidad de luz ultravioleta, y en combinación, con los procesos de difusión, formarán un transistor. Es uno de los procesos que se emplean con mayor frecuencia. Todo el laboratorio debe permanecer sin humedad en el aire. Como dato adicional es realmente costosa, pero los resultados

son muy favorables. En la figura 1.5 se muestra las partes que se encuentran con recubrimiento y la aplicación de una alta radiación de luz ultravioleta («Exposure and resist coating - Photolithography.», 2017).

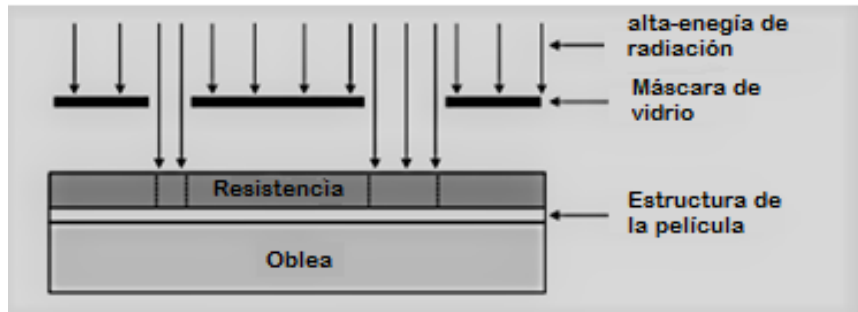


Figura 1.5 Radiación de luz ultravioleta para realización de Fotolitografía.
Fuente: («Exposure and resist coating - Photolithography.», 2017)
Modificado: Autor

CAPITULO II

2. CURVAS CARACTERÍSTICAS, CÁLCULO DE LA MOVILIDAD EFECTIVA.

La principal forma para verificar el proceso de creación del transistor es mediante la caracterización eléctrica; aquí se puede evidenciar lo eficiente que puede ser el transistor (movilidad de portadores, los valores de voltaje, corriente y temperatura a los cuales podrá ser sometido).

Después del proceso de creación de un transistor MOSFET de tipo-*n*, donde se otorgaron características específicas, se espera obtener resultados, los cuales van a ser presentados relacionándolos o comparándolos con resultados existentes de bibliografía disponible, pero primero se definirán algunos de los parámetros que caracterizarán:

2.1 El voltaje umbral (V_{TH})

Es uno de los parámetros principales en cuanto a caracterización de un transistor, siendo su valor ideal próximo a 0.5 V. Sin embargo, dependiendo del diseño que se realice, este valor podría variar hasta 2 V, pues es dependiente de la cantidad de dopaje y espesor de óxido. (Boylestad & Nashelsky, 2009, p. 396).

$$V_{TH} = V_{GS} \quad \text{Ecuación 2.1}$$

Cuando se cumple la ecuación 2.1 el voltaje umbral (threshold) crea el canal mediante la capa de inversión, permitiéndole así el flujo de corriente entre drenaje fuente. El voltaje umbral también es conocido como voltaje de activación.

Cuando $V_{GS} \leq V_{TH}$ la resistencia puede ser catalogada como infinita, aunque está dada en el valor de $10^{12} \Omega$, aquí se puede decir que el voltaje aplicado V_{DS} es muy pequeño, y necesitará ser incrementado para que pueda pasar esta barrera óhmica (Sedra & Smith, 2002, p. 374).

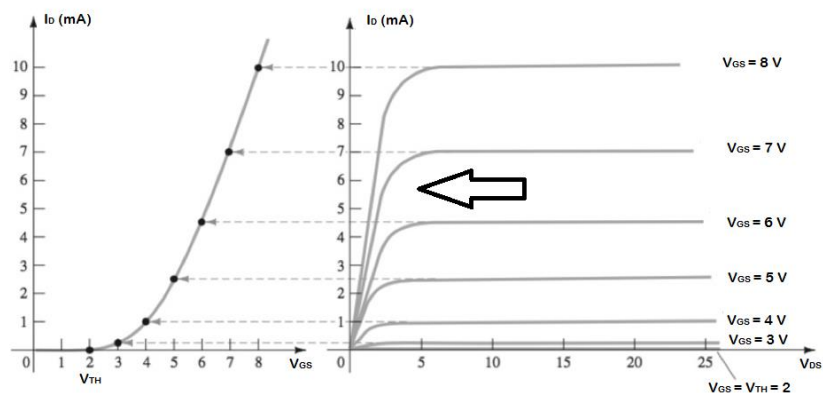


Figura 2.1 Voltaje umbral V_{TH} y corriente de drenaje I_D .

Fuente: (Boylestad & Nashelsky, 2009, p. 395)

Modificado: Autor

2.2 Voltaje drenaje-fuente (V_{DS})

El voltaje drenaje-fuente también es llamado voltaje de encendido. A medida que se aplica un voltaje mínimo de 10 mV y habiéndose cumplido la ecuación 2.1 ocurre un traspaso de corriente y voltaje entre drenaje y fuente. Mientras el voltaje activación V_{DS} no cumpla lo establecido en la ecuación 2.2 la resistencia del canal permanecerá constante teniendo una región lineal como se muestra en la figura 2.2. Al aumentar el V_{DS} y cumplir con establecido en la ecuación 2.2 el canal se va ir estrechando al lado de drenaje mientras se conserva la profundidad del canal en el lado fuente. Esto produce que la curva característica I_D vs V_{DS} no siga creciendo esto se puede apreciar en la figura 2.1 y se lo conoce como voltaje pinch-off, es el nivel de saturación dentro del canal (Schiavon, 1997, pp. 8-9-11)

2.3 Corriente drenaje-fuente-saturación (I_{DSsat})

Es la corriente de drenaje I_D saturada debido al estrangulamiento del canal, como se mencionó anteriormente el canal se deforma, produciendo que la resistencia se incrementa a tal punto que detiene el crecimiento de la misma. Afectará de manera directa a la movilidad de electrones del transistor. Para la obtención del valor de la corriente I_{DSsat} tendremos que interpolar I_D vs V_{GS} . Además esto permitirá establecer un voltaje de estrangulamiento V_P (Boylestad & Nashelsky, 2009, p. 417).

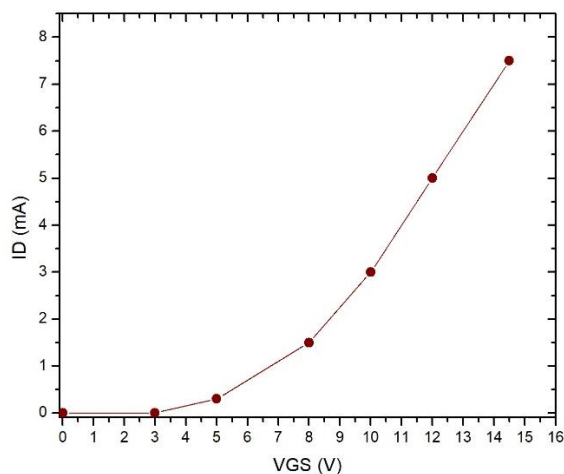


Figura 2.2. Corriente *drenaje-fuente* de saturación
Fuente: (Boylestad & Nashelsky, 2009, p. 399)
Modificado: Autor

2.4 Voltaje de estrangulamiento (V_{DSSat})

También se lo conoce como voltaje drenaje-fuente de saturación V_{DSSat} o voltaje pinch-off, esta característica se presenta cuando el canal se ha estrechado a lado del drenaje, produce una región de saturación donde la curva de I_D vs V_{DS} empieza a decrecer. Se produce al cumplir lo establecido en la ecuación 2.2 o al ser el valor de voltaje compuerta-fuente V_{GS} mayor al de V_{DS} . Cabe indicar que mientras mayor sea el nivel de V_{GS} , mayor será el nivel del voltaje de estrangulamiento (Operación, 2014, pp. 19-20).

$$V_{DSSat} = V_{GS} - V_{TH} \quad \text{Ecuación 2.2}$$

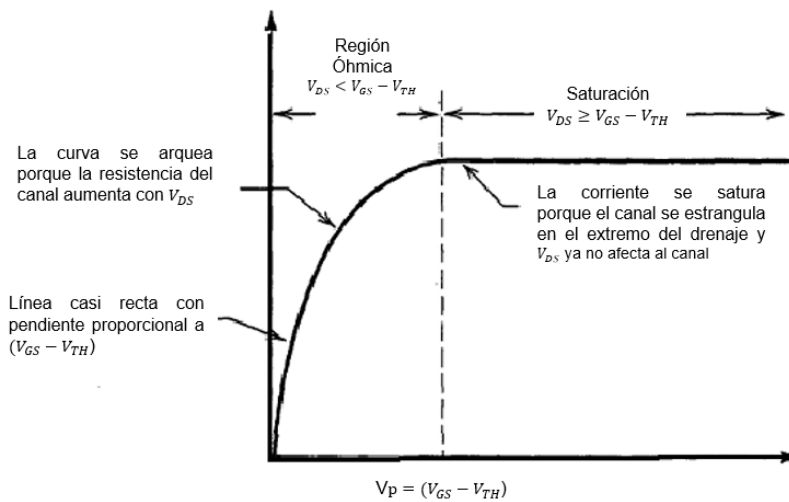


Figura 2.3. Voltaje de estrangulamiento V_{DSSat}
Fuente: (Sedra & Smith, 2002, p. 376)
Modificado: Autor.

2.5 Movilidad efectiva

Movilidad efectiva, es la capacidad que tiene los portadores para viajar por el canal del transistor (Banqueri et al., 1996, p. 1). A través del cálculo de la movilidad efectiva se podrá saber la conductancia que posee el transistor en el canal (Ho, 2012, p. 8), (Meseguer, Olmos S., Quiles H., & Romero C., 2003).

2.5.1 Cálculo de movilidad efectiva

Para obtener la movilidad efectiva existen algunos métodos, en el presente trabajo de titulación se ha escogido el método denominado: procedimiento moderado de la capa de inversión (Banqueri et al., 1996, p. 1).

$$\mu_{eff} = \frac{L_{eff}}{W_{eff}} \frac{g_D}{qN_I(V_{GS})} \Big|_{V_{DS} \leftrightarrow 0} \quad \text{Ecuación 2.3}$$

Donde L_{eff} es la longitud efectiva del canal está determinada por la tecnología a emplear, W_{eff} es el ancho efectivo del canal que viene dada por defecto en el simulador para este caso $1 \mu\text{m}$, g_D es la conductancia de drenaje, q es la modulación de electrones de carga, pero la multiplicación de $qN_I(V_{GS})$ representa la inversión de carga en el canal por unidad de área (Banqueri et al., 1996, p. 1).

Asumiendo que la carga de inversión es dependientemente lineal dentro del voltaje compuerta en el régimen fuerte de inversión, entonces podemos decir que $qN_I(V_{GS})$ va a ser igual a $C_{ox}(V_{GS} - V_{TH})$ (Banqueri et al., 1996, p. 1).

$$qN_I(V_{GS}) = C_{ox}(V_{GS} - V_{TH}) \quad \left[\frac{vF}{m^2}\right] \quad \text{Ecuación 2.4}$$

2.5.2 Longitud efectiva del canal (L_{eff})

La longitud del canal está dada por la tecnología que se va a emplear, pero la longitud efectiva es la longitud del canal menos las difusiones laterales creadas por drenaje y fuente, pero también se la puede calcular tomando un porcentaje del canal (International Technology Roadmap for Semiconductors, 2002) de esta manera se tendrá:

$$L_{eff} = L - 20\% L [\mu\text{m}] \quad \text{Ecuación 2.5}$$

2.5.3 Capacitancia del óxido (C_{ox})

Al introducir un voltaje y teniendo en cuenta que se tiene dos placas de óxido se produce una capacitancia, conocida como capacitancia del óxido (C_{ox}), el espesor del óxido esta dado por t_{ox} que es el *thickness* (espesor de óxido), el valor de capacitancia obtenido será por unidad de área (Ozols, 2007, p. 10), de esta manera se obtiene la siguiente ecuación (Artieda, Trojman, Crupi, & Ragnarson, 2012, p. 3).

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad \left[\frac{F}{m^2}\right] \quad \text{Ecuación 2.6}$$

Donde ϵ_{ox} esta dada por la permitividad eléctrica del material ϵ_r , para el SiO_2 es de 3,9 y la constante de permitividad ϵ_0 la cual tiene un valor de $8,8541878176 \times 10^{-12} \text{ F/m}$ (Sadiku, 2010, p. 761).

$$\epsilon_{ox} = \epsilon_r \epsilon_0 \quad \left[\frac{F}{m}\right] \quad \text{Ecuación 2.7}$$

2.5.4 Conductancia de drenaje g_D

La conductancia de drenaje es la propiedad eléctrica que tiene para no presentar oposición al realizar el paso de flujo de corriente de drenaje a fuente. La conductancia del canal puede ser medida, pero al no ser una implementación, no tendríamos valores aproximados a la bibliografía en cuanto a movilidad efectiva, pero se puede reemplazar por la siguiente ecuación (Banqueri et al., 1996, p. 1).

$$g_D = \frac{I_{DS}}{V_{DS}} \quad \left[\frac{1}{s} \right] \quad \text{Ecuación 2.8}$$

Reemplazando los valores en la ecuación 2.1 tenemos:

$$\mu_{eff} = \frac{L_{eff}}{W_{eff}} \frac{\frac{I_{DS}}{V_{DS}}}{C_{ox}(V_{GS}-V_{TH})} \quad \left[\frac{m^2}{Vs} \right] \quad \text{Ecuación 2.9}$$

Mediante la ecuación 2.9 se realizará el cálculo de movilidad efectiva, para poder ser comparada con valores establecidos de otros autores.

CAPITULO III

3. DISEÑO, CONSTRUCCIÓN, DISCUSIÓN DE RESULTADOS

El diseño de un transistor MOSFET de canal n esta dado por algunos parámetros descritos previamente en el capítulo 1. A continuación, se presenta la tabla de valores de corriente drenaje de saturación, voltaje umbral, espesor de óxido y movilidad efectiva, para los métodos de oxidación en seco y húmedo obtenidos de bibliografía.

Tabla 1. Valores de I_{DSSAT} , V_{TH} , y t_{ox} .

Nodo tecnológico 250 nm					
Temperatura (°C)	Método	Óxido (nm) (Max – Min)	I_{DSSAT} (A) (Max – Min)	V_{TH} (V) (Max – Min)	Si (p) $\mu_{eff} \left(\frac{m^2}{Vs}\right)$
850	Seco	100 - 2	$10^{-3} - 10^{-7}$	2 – 0.5	0.0470
900		100 - 2	$10^{-4} - 10^{-8}$	2 – 0.5	0.0470
950		100 - 2	$10^{-4} - 10^{-8}$	2 – 0.5	0.0470
850	Húmedo	100 - 2	$10^{-3} - 10^{-7}$	2 – 0.7	0.0470
900		100 - 2	$10^{-4} - 10^{-8}$	2 – 0.7	0.0470
950		100 - 2	$10^{-4} - 10^{-8}$	2 – 0.7	0.0470

Fuente: (Oxidation [archivo PDF], 2005, pp. 13-14), (Marin, Niño de Zepedia, 2010, p. 96), (Sedra & Smith, 2002, p. 373), (Ho, 2012, p. 8,54).
Elaboración: Autor

3.1 Diseño

El diseño como se lo mencionó en el capítulo I está realizado a través del modelado central, esto permite dimensionar sus terminales a partir de la longitud del canal. Estas proporciones se encuentran distribuidas de la siguiente manera.

Tabla 2. Valores de diseño

$L = 250 \text{ nm}$		
Oblea (nm)	Contactores (nm)	Separación S-G-D (nm)
$4 * L$	$\frac{1}{4} * L$	$\frac{1}{8} * L$

Fuente: Autor, ITRS
Elaboración: Autor

Las dimensiones quedan definidas como se muestra en la tabla 2 y en la figura 3.1 se muestran los valores obtenidos.

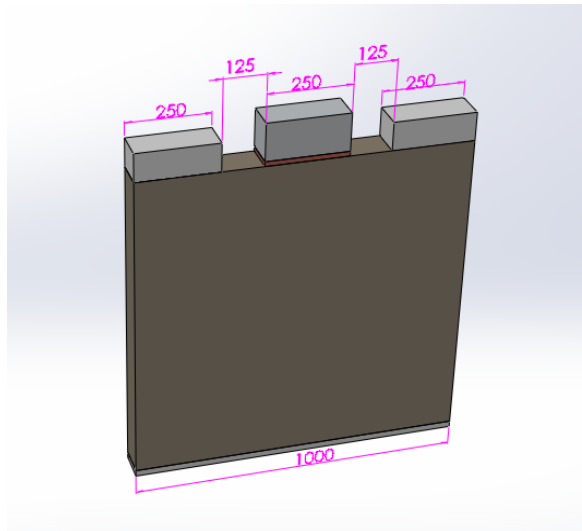
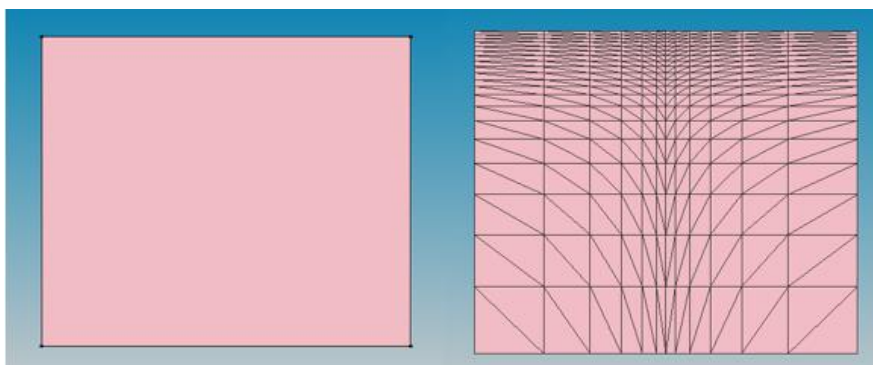


Figura 3.1. Dimensiones del transistor en dadas en *nm*.
 Fuente: Autor.
 Elaboración: Autor

3.2 Construcción de dispositivo MOSFET

Se requiere dimensionar el sustrato (oblea), sobre la cual se pretende trabajar, se crea una malla donde existirán puntos de enmallado o de unión, esto permite que la concentración de impurezas sea en mayor abundancia en los puntos más angostos del enmallado como se puede apreciar en la figura 3.2. Se lo realiza mediante el siguiente código:

<i>line x location= 0</i>	<i>spacing= 0.01</i>	<i>tag= top</i>
<i>line x location= 1.0</i>	<i>spacing= 0.2</i>	<i>tag= bottom</i>
<i>line y location= 0.0</i>	<i>spacing= 0.1*@Lg@</i>	<i>tag= left</i>
<i>line y location= 2*@Lg@</i>	<i>spacing= @Lg@</i>	<i>tag= right</i>
<i>region silicon xlo= top xhi= bottom ylo= left yhi= right</i>		



a)

b)

Figura 3.2. a) Oblea de silicio (Si). b) Enmallado en la oblea de silicio (Si)
 Fuente: Autor.
 Elaboración: Autor

3.2.1 Creación de óxido e incrustación de dosis inicial

Se procede a dopar con boro (B) con una dosis de $3 \times 10^{17} \text{ cm}^{-3}$ (Shashank, Basak, & Nahar, 2010, p. 253). Se introducirá impurezas en la oblea mediante la implantación de iones, con esto se pretende crear una primera capa altamente dopada, para ayudar a que los portadores puedan moverse con mayor facilidad, al ser excitados por un campo eléctrico.

Mediante el proceso de difusión se crea una delgada capa de SiO_2 , con el manejo adecuado de la temperatura y tiempo de horneado (Hu, 2009, p. 63). Esto se puede apreciar en la figura 3.3 y se lo realiza con el siguiente código:

```
init concentration= @NWell@ field= Boron
diffuse time=@GOxTime@ temp=@tmp@ O2
set oxidelayer [lindex [layers y=0 Oxide] 1]
puts "DOE: tox [format %.4f [expr [lindex $oxidelayer 1] - [lindex $oxidelayer 0]]]"
```

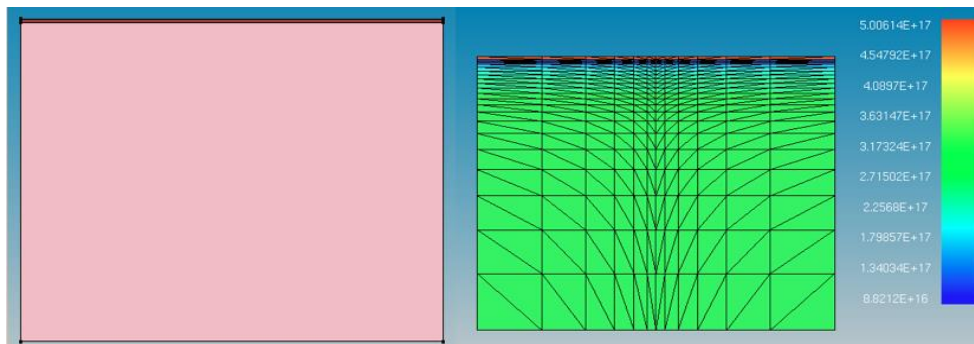


Figura 3.3. Incrustación de impurezas con boro (B).
Fuente: Autor.
Elaboración: Autor

La finalidad del trabajo de titulación es caracterizar eléctricamente un dispositivo MOSFET por distintos métodos de oxidación. Aquí es fundamental expresar que para crear el óxido en la compuerta se ocupa un método, tiempo y temperatura determinado. El método es oxidación en seco, en primera instancia se ingresa O_2 , como se muestra en el código. La temperatura y tiempo han sido enlazados a variables para mejor manejo. Se presentará resultados alterando el tiempo, temperatura y método de oxidación.

3.2.2 Litografía y deposición del polisilicio

Se puede controlar el nivel de óxido de silicio modificando los parámetros de temperatura y tiempo. Para la difusión del material se debe crear un espesor delgado SiO_2 en el polisilicio, el cual será depositado. Realizado este proceso, se corta el excedente de óxido y polisilicio. Sentaurus TCAD simula un proceso de litografía para

realizar este corte. Entonces se crea la compuerta esto se puede apreciar en la figura 3.4.

```
mgoals min.normal.size=1<nm> max.lateral.size=2.0<um> normal.growth.ratio=1.5  
accuracy=1e-5  
pdbSet Oxide Grid perp.add.dist 1e-7  
pdbSet Grid NativeLayerThickness 1e-7
```

El óxido de silicio actuará como un capacitor entre compuerta y el sustrato. Finalmente se implanta arsénico para crear un punto de acceso entre el polisilicio de compuerta y el sustrato (figura 3.4).

```
diffuse temperature=950<C> time=10.0<s>  
deposit polysilicon anisotropic thickness= 0.1  
mask name= poly left=-@Lg@/2 right= @Lg@/2  
etch polysilicon anisotropic thickness= 0.12 mask= poly  
etch oxide anisotropic thickness= 0.02  
implant arsenic dose=@Didoes@ energy=30<keV> tilt=7<degree> rotation=-90<degree>
```

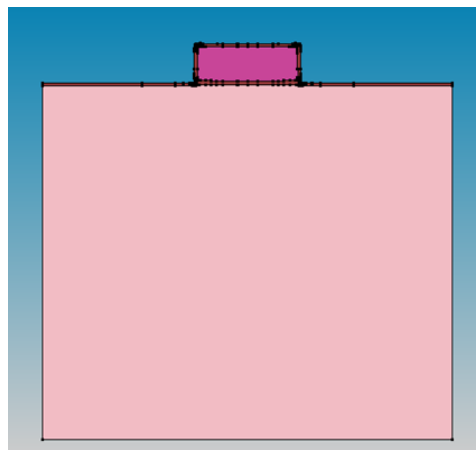


Figura 3.4. Implantación de polisilicio y arsénico.
Fuente: Autor.
Elaboración: Autor

3.2.3 Creación de la capa de inversión

Se vuelve a dopar la oblea con boro (B), con la finalidad de crear la capa de inversión. La dosis con la que se crea esta capa será de $9 \times 10^{10} \text{cm}^{-2}$ y un nivel de energía 25 KeV (Shashank et al., 2010, p. 255). Esta energía determinará la profundidad de incrustación de impurezas y ayudará a incrementar la conductividad del canal. Se puede modificar la energía con la que se va a dopar, por cuanto es un método semiempírico, pero siempre buscando que los resultados se mantengan cercanos a los valores de referenciales de la tabla 1. Se la realiza en la plataforma virtual con el siguiente código:

implant Boron dose= 9.0e10<cm-2> energy=25<keV>

3.2.4 Aislamiento de compuerta

Se requiere aislar la compuerta, para lo cual se implanta nitruro isotrópico para protección. Debido a que la fuente y drenaje han sido creados simétricamente (modelado central) a los lados de la compuerta. Entonces al tener una separación demasiado pequeña entre compuerta-fuente y compuerta-drenaje producirá corriente de fuga si no se encuentra debidamente aislada.

deposit nitride isotropic thickness= 0.3 L_g @*

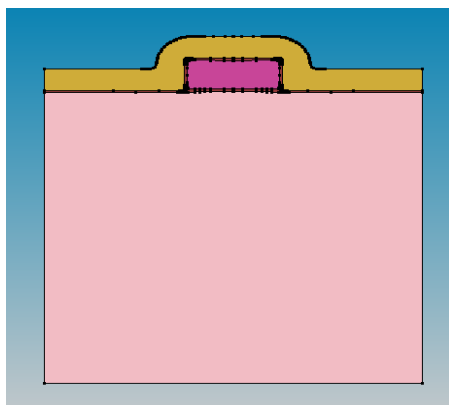


Figura 3.5. Implantación de nitruro isotrópico.

Fuente: Autor.

Elaboración: Autor

Como se puede apreciar en la figura 3.5 la implantación de nitruro para aislar la compuerta recubrirá la parte superior del transistor. Luego se procede a limpiar el excedente (proceso de litografía); así, solo quedará nitruro en los extremos de la compuerta, quedando aislada compuerta de drenaje y fuente como se puede apreciar en la figura 3.6.

etch nitride anisotropic thickness= 0.35 L_g @*
etch Oxide anisotropic thickness= 0.35

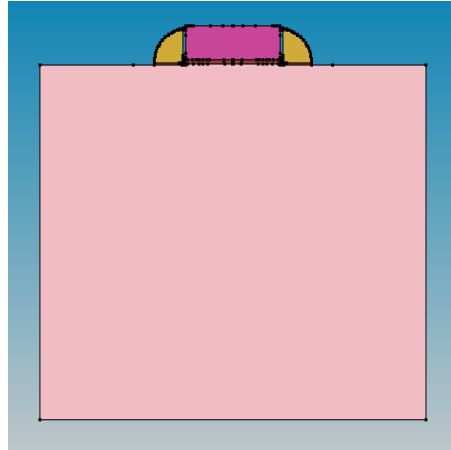


Figura 3.6. Aislamiento de compuerta.
Fuente: Autor
Elaboración: Autor

3.2.5 Creación de drenaje y fuente

La incrustación de impurezas para la creación de fuente y drenaje deben ser de distintas características químicas a las de la oblea, siendo esta parte altamente dopada. Para la construcción de estas terminales del MOSFET, se empleó fósforo (P), con lo cual se ingresa impurezas de tipo n . Mediante la energía y la difusión se controla la profundidad de dopaje quedando definidas las regiones del transistor donde debe realizarse la incrustación.

```
implant phosphorus dose=1e+15 energy=15  
refinebox Silicon min= {0.04 0.12} max= {0.18 0.4} xrefine= {0.01 0.01 0.01} yrefine= {0.05  
0.05 0.05} add  
refinebox remesh  
diffuse time=1<s> temp= 1000
```

3.2.6 Creación de terminales

Se crearán los contactos para drenaje, fuente, y sustrato estos serán de aluminio el cual es altamente conductor. Se crea un reflejo para que sean simétricamente distribuidos. Esto se puede apreciar en la figura 3.7 y 3.8, en código se expresa como se muestra a continuación.

```
deposit aluminum anisotropic thickness= 0.05  
mask name= contact left=@Lg@*1.2  
etch aluminum anisotropic thickness= 0.1 mask= contact  
transform reflect left  
contact name=substrate bottom  
contact name=source point y=@Lg@*1.5 x=-0.010 replace  
contact name=drain point y=@Lg@*1.5 x=-0.010 replace  
contact name= gate point y=0 x=-0.050
```

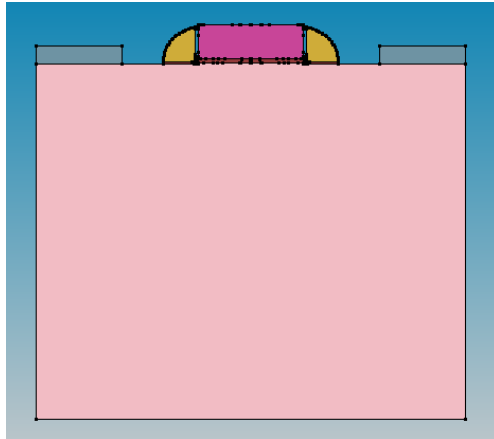


Figura 3.7. Deposición de aluminio para drenaje y fuente.
Fuente: Autor.
Elaboración: Autor

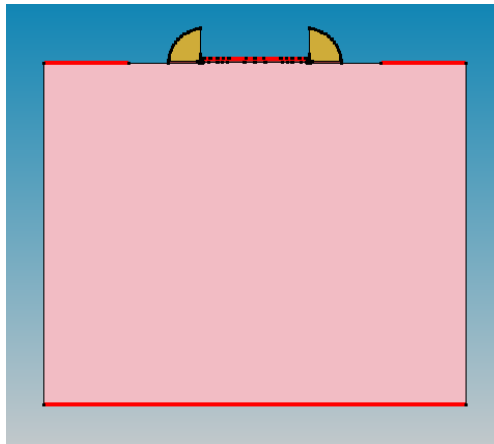


Figura 3.8. MOSFET de canal n.
Fuente: Autor.
Elaboración: Autor

3.2 Simulación y resultados obtenidos

Los métodos para los cuales se realizó la caracterización del transistor son: oxidación en seco y oxidación en húmedo. Se planificó la tabla 3 y tabla 4, en donde se contemplan tiempos, temperatura, tecnología, voltajes (V_{GS} , V_{DS}). Esta será empleada para ambos casos, de tal manera que se pueda comparar el crecimiento de óxido (SiO_2), corriente de saturación (I_{DSAT}) y voltaje umbral (V_{TH}). La comparación de resultados será entre ambos métodos y los rangos obtenidos por bibliografía en la tabla 1.

3.2.5 Resultados de oxidación en seco (SiO_2)

A continuación, se presentan los datos obtenidos de la simulación con el método seco:

Tabla 3. Resultados de t_{ox} en la compuerta en el método seco.

Tiempo (s)	Temperatura (°C)	Óxido (μm)
9	850	0.0031
	900	0.0054
	950	0.0095
10	850	0.0033
	900	0.0058
	950	0.0101

Fuente: Autor.

Elaboración: Autor.

Como ha sido mencionado en capítulos anteriores el espesor de óxido debe estar entre $2n - 100 nm$ cómo se puede apreciar en la Tabla 3, los niveles de óxido están dentro del rango permitido para que no exista corriente de fuga. Se muestra el crecimiento de óxido en una temperatura de $850\text{ }^{\circ}C$ a un tiempo 9 y 10 s

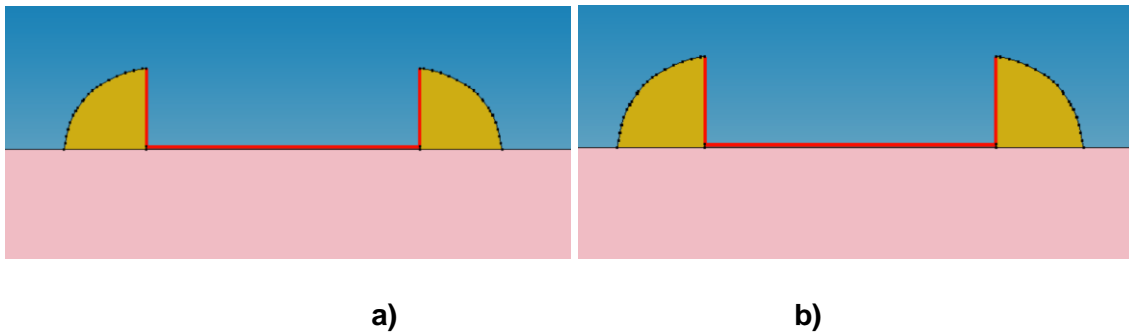


Figura 3.9 a) $t_{ox} t = 9 s$ y $T = 850\text{ }^{\circ}C$, b) $t_{ox} t = 10 s$ y $T = 850\text{ }^{\circ}C$

Fuente: Autor

Elaboración: Autor

El óxido ha crecido unos cuantos nanómetros, aunque imperceptible, se puede deducir por los valores de la tabla 3.

A una temperatura mayor el crecimiento del óxido bajo la compuerta será mayor, por ejemplo, se puede comparar el crecimiento del espesor óxido en $850, 900,$ y $950\text{ }^{\circ}C$, donde el crecimiento del óxido será evidente, se establece un tiempo de horneado de $9 s$. El óxido tendrá una proporción de crecimiento de un 175% para los niveles de temperatura que han sido escalados con un aumento de $50^{\circ} C$.

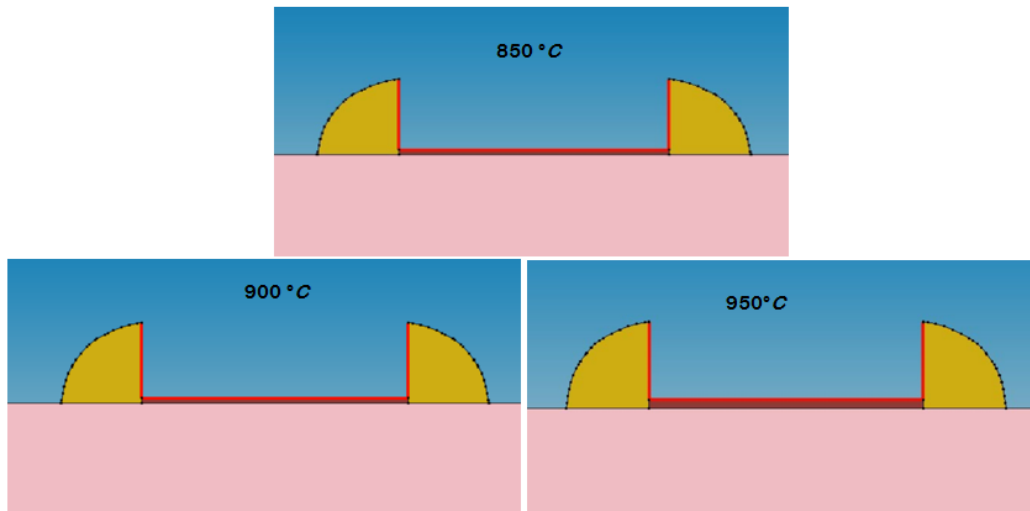


Figura 3.10. t_{ox} con un $t = 9 s$ y diferentes temperaturas, con el método seco.

Fuente: Autor

Elaboración: Autor

Como se aprecia en la figura 3.9 y 3.10, el óxido ha crecido, pero se debe tener en cuenta también los valores obtenidos de voltaje umbral (V_{TH}), corriente drenaje de saturación (I_{DSSat}) y movilidad efectiva (μ_{eff}), esta triangulación de valores definirá la eficiencia del transistor. Por este motivo se requiere la obtención de los valores antes mencionados, para lo cual se empleará la tabla 4.

El BSIM4 es el método de extracción de resultados que se emplea, el cual permite la modificación de valores de activación del transistor V_D y V_{GS} . Se basó en la modificación de estos valores, con los otorgados por la ITRS para la misma tecnología.

Tabla 4. Resultados de V_{TH} y I_{DSSat} .

Oxidación en seco						
Tecnología 250 nm						
Tiempo (s)	Temperatura (°C)	V_{GS} (V)	V_D (mV)	T_{OX} (μm)	V_{TH} (V)	I_{DSSat} (μA)
9	850	2.3	10	0.0031	0.701	17.94
	900			0.0054	0.852	12.48
	950			0.0095	1.081	7.894
10	850			0.0033	0.712	17.09
	900			0.0058	0.858	12.32
	950			0.0101	1.116	7.440

Fuente: Autor.

Elaboración: Autor.

Cabe destacar que Sentaurus TCAD, simula a una temperatura ambiente de 27°C para obtener los valores de voltaje umbral y corriente drenaje de saturación.

Para la caracterización se tomó los valores que se encontraron cercanos a un voltaje umbral cercano a 0,5 V, siendo los mejores resultados los siguientes:

- La respuesta a un espesor de óxido de silicio creada a 850 °C y 9s de tiempo de horneado.
- La respuesta a un espesor de óxido de silicio creada a 850 °C y 10°C de tiempo de horneado.

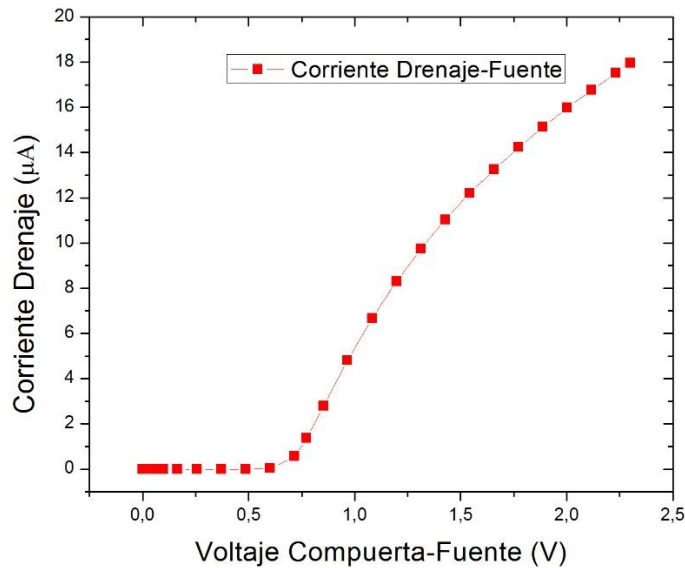


Figura 3.11. Curva I-V, en T= 850°C y t= 9 s, método seco.
Fuente: Autor.
Elaboración: Autor

El V_{TH} se encuentra en 0.701 V, y el I_{DSsat} en 17.94, esto se puede apreciar en la figura 3.11, también es notorio que la pendiente no es totalmente recta, esto se debe al método de oxidación, tiempo, temperatura y voltaje de encendido V_D . El método de oxidación tiene una característica muy peculiar, su nivel de voltaje de activación V_{TH} es menor que en el método húmedo, esto se lo podrá evidenciar más adelante.

Con los datos obtenidos de la tabla 4 se obtuvo movilidad efectiva de portadores, y se realizó una triangulación de resultados en la siguiente sección. Con la simulación del transistor en un tiempo de 9s y 850°C de temperatura, se obtendrá valores como V_{TH} y I_{DSsat} . En esta sección emplearemos la ecuación 2.9

$$\mu_{eff} = \frac{L_{eff}}{W_{eff}} \frac{I_{DS}}{C_{ox}(V_{GS} - V_{TH})}$$

Sentaurus TCAD, ofrece la obtención de resultados después de haber sido sometido a simulaciones en temperatura ambiente, y también agrega valores por defecto como es el ancho efectivo del canal (W_{eff}) que en el nodo tecnológico de 250 nm es un valor de 1 μm . Entonces se tendrá:

Para 850 °C y un tiempo de horneado de 9 s

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \mu m$$

$$C_{ox} = 0,0109 \frac{F}{m^2}$$

$$V_{GS} = 2,3 \text{ V}$$

$$V_{TH} = 0,701 \text{ V}$$

$$I_{DS} = 17,94 \mu A$$

$$V_{DS} = 0,01 \text{ V}$$

Lo cual arrojará una movilidad efectiva de:

$$\mu_{eff} = 0,0207 \frac{m^2}{Vs}$$

El siguiente valor que se encuentra cercano es a 850° C de temperatura, pero a 10 s de tiempo de horneado. A continuación, se presenta los resultados de su curva característica, y los resultados del cálculo de movilidad efectiva.

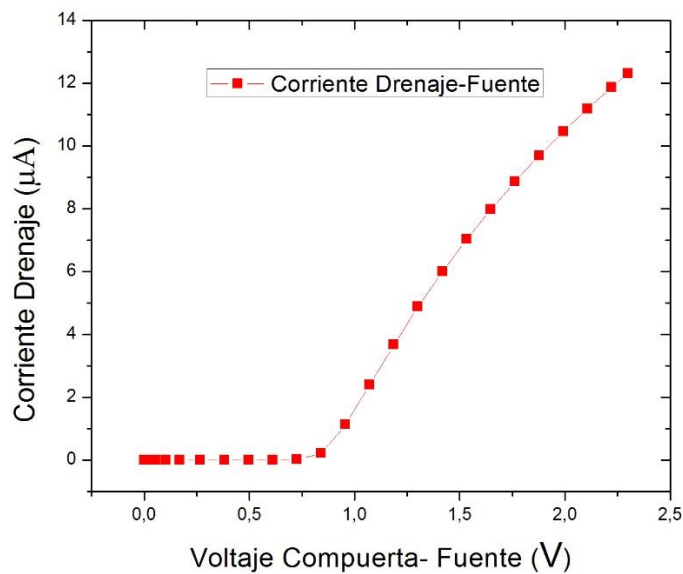


Figura 3.12. Curva I-V, en T= 850°C y t = 10 método seco.
Fuente: Autor.

Elaboración: Autor

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ } \mu\text{m}$$

$$C_{ox} = 0,0109 \frac{F}{m^2}$$

$$V_{GS} = 2,3 \text{ V}$$

$$V_{TH} = 0,712 \text{ V}$$

$$I_{DS} = 17,09 \text{ } \mu\text{A}$$

$$V_{DS} = 0,01 \text{ V}$$

Lo cual arrojará una movilidad efectiva de:

$$\mu_{eff} = 0,0277 \frac{m^2}{Vs}$$

En la Figura 3.12 se puede apreciar que, la curva característica se encuentra más uniforme, es decir la pendiente recta. Además, los valores V_{TH} y el V_{DSsat} se encuentran aproximados a los de la figura 3.11.

3.2.6 Resultados de oxidación Húmeda ($\text{SiO}_2 + 2\text{H}_2$).

Otro método de oxidación es la oxidación húmeda, para lo cual se ingresa moléculas de agua, las cuales entran en forma de vapor, en este caso, modificamos el código para ingresar la molécula de agua, obteniendo los resultados mostrados en la tabla 5 para óxido.

Tabla 5. Resultados de t_{ox} en la compuerta para el método húmedo

Tiempo (s)	Temperatura ($^{\circ}\text{C}$)	Óxido (μm)
9	850	0.0136
	900	0.0255
	950	0.0538
10	850	0.0149
	900	0.0281
	950	0.0592

Fuente: Autor.
Elaboración: Autor.

En la figura 3.13 podremos apreciar el crecimiento de óxido para el método de oxidación húmedo, una característica muy importante de este método es el crecimiento de óxido con rapidez incluso en bajas temperaturas (850°C). El óxido con el mismo escalamiento aumentó de porcentaje. Se muestra un crecimiento no proporcional en sus

resultados siendo estos de un 188 % en el primer caso de 850°C a 900°C y en el segundo caso de un 211% de 900°C a 950°C.

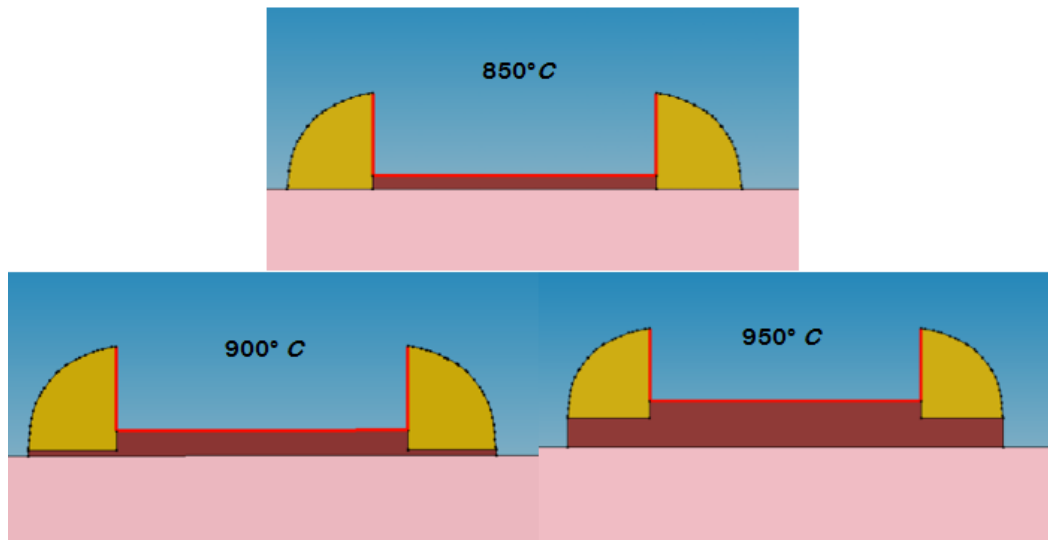


Figura 3.13. t_{ox} con un $t = 9$ s y diferentes temperaturas, con el método húmedo.
Fuente: Autor
Elaboración: Autor

Previamente se tomó como referencia los valores que se encontraban cercanos al valor de $V_{TH} = 0.5$ para ser caracterizados, para esta sección se realizará el mismo proceso de selección mediante la tabla 6.

Tabla 6. Resultados de V_{TH} y I_{Dssat} .

Oxidación en húmedo						
Tecnología 250 nm						
Tiempo (s)	Temperatura (°C)	V_{GS} (V)	V_D (mV)	T_{Ox} (μm)	V_{TH} (V)	I_{Dssat} (nA)
9	850	2	10	0.0136	1.320	3 683
	900			0.0255	1.835	369.5
	950			0.0538	1.858	0.0007012
10	850			0.0149	1.391	3074
	900			0.0281	1.878	123.7
	950			0.0592	1.902	0.0001442

Fuente: Autor.
Elaboración: Autor.

Los valores que se encuentran próximos al valor de $V_{TH} = 0.5$ V son:

- La respuesta a un espesor de óxido de silicio creada a 850 °C y 9s de tiempo y temperatura de horneado.

- La respuesta a un espesor de óxido de silicio creada a 850 °C y 10°C de tiempo y temperatura de horneado.

Para los valores de 850 °C y 9s de tiempo y temperatura de horneado los resultados obtenidos de curva característica, y movilidad efectiva se muestran a continuación:

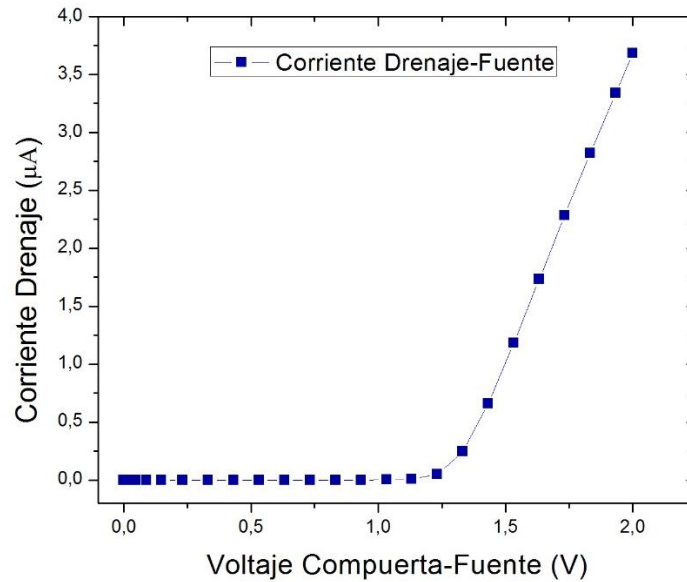


Figura 3.14. Curva I-V, en T= 850°C y t = 9 s, método húmedo.
Fuente: Autor.
Elaboración: Autor

Basados en la figura 3.14 el V_{TH} muestra un claro aumento, es decir el transistor necesita de un nivel de voltaje mayor para que sea activado. Pero se debe considerarse que la pendiente es recta, no muestra signos de tener curvaturas. También se puede apreciar que la región entre V_{TH} y V_{DSSat} ha disminuido. El I_{DSSat} también disminuyó, mostrando que el transistor se satura con un nivel menor de corriente.

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ } \mu\text{m}$$

$$C_{ox} = 0,00226 \frac{F}{m^2}$$

$$V_{GS} = 2 \text{ V}$$

$$V_{TH} = 1.320 \text{ V}$$

$$I_{DS} = 3074 \text{ nA}$$

$$V_{DS} = 0.01 \text{ V}$$

Lo cual arrojará una movilidad efectiva de:

$$\mu_{eff} = 0.0438 \frac{m^2}{Vs}$$

Los resultados obtenidos para la temperatura de 850 °C y 10s de tiempo de horneado se muestran a continuación en el método húmedo:

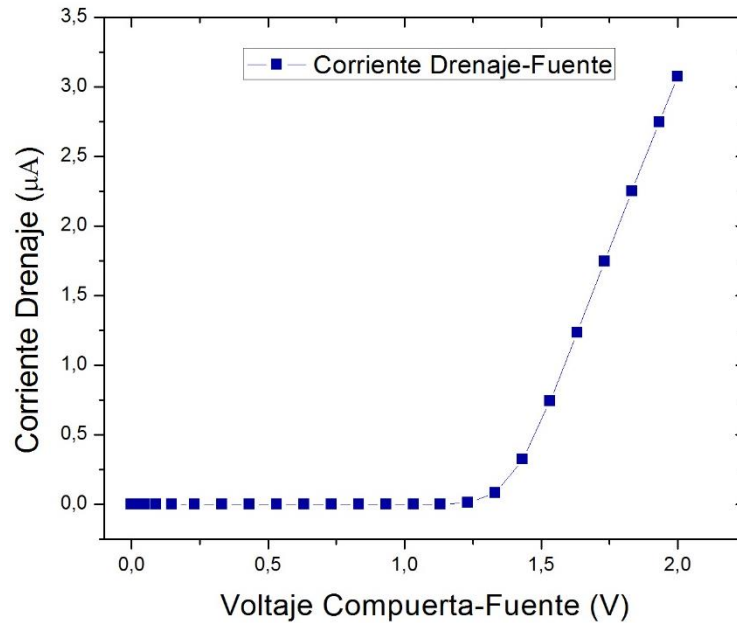


Figura 3.15 Curva I-V, en T= 850°C y t = 10 s, método húmedo.
Fuente: Autor.
Elaboración: Autor

En la figura 3.15 se cambió el tiempo de ingreso para horneado para oxidación, las características de la curva son idénticas a la de la figura 3.14, pero varían en cuanto de I_{DSsat} , siendo esta en tendencia a disminuir y el V_{TH} a aumentar. Esto se debe al crecimiento del óxido.

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ }\mu\text{m}$$

$$C_{ox} = 0,00247 \frac{F}{m^2}$$

$$V_{GS} = 2 \text{ V}$$

$$V_{TH} = 1,391 \text{ V}$$

$$I_{DS} = 3 \text{ 683 nA}$$

$$V_{DS} = 0,01 \text{ V}$$

Lo cual arrojará una movilidad efectiva de:

$$\mu_{eff} = 0,0447 \frac{m^2}{Vs}$$

3.3 Discusión de resultados.

El crecimiento de SiO_2 es evidente en ambos métodos propuestos. Como se puede apreciar en la figura 3.10, el crecimiento del espesor de óxido es lento en los intervalos de tiempo y temperatura establecidos para el método seco.

Ahora, se considera el método húmedo, el espesor de óxido es mayor. Teniendo una proporcionalidad de crecimiento de aproximadamente 472% en comparación con el método seco. Se puede apreciar tanto en la figura 3.13 como en la tabla 5. Debido al crecimiento SiO_2 en la compuerta el I_{DSSat} se encuentra disminuyendo de manera precipitada, esto se detalla en la tabla 6. Se determinó mediante la comparación de tablas 3 y 6 que el crecimiento de óxido en la compuerta afecta de manera directa el I_{DSSat} . Esto ocurre pues son inversamente proporcionales, a medida que crece el espesor de óxido el I_{DSSat} disminuye.

Si se compara los rangos de valores de la tabla 1 con la tabla 3 y 5 el crecimiento de óxido para ambos métodos se encuentra dentro de estos parámetros, aunque por el nodo tecnológico que se está empleando el crecimiento de óxido del método húmedo es exagerado, pues este mismo crecimiento produce que su curva característica (para las figuras del anexo A2) se vea afectada, necesitando mayor voltaje de activación V_{TH} y saturándose en menor voltaje V_{DSSat} .

En el método seco el voltaje umbral V_{TH} ha arrojado mejores resultados, aunque el método húmedo se encuentre dentro de los valores permitidos, está muy alejado de valor considerado como parámetro ideal $V_{\text{TH}} = 0.5$.

La movilidad efectiva mostrada en la tabla 1 para impurezas tipo p , evidencia que los resultados obtenidos son aproximados para ambos métodos. Pero el método húmedo tiene una clara ventaja, por cuanto ofrece mejores resultados.

El anexo A1, se puede evidenciar que las curvas características mejoran en cuanto a la pendiente con el aumento de la temperatura y tiempo de horneado, pero los valores de corriente de saturación I_{DSSat} han disminuido y el voltaje umbral V_{TH} ha aumentado, encontrándose dentro de los parámetros establecidos en la tabla 1.

El método húmedo en el anexo A2 denota una evidente disminución de mejoras, aunque encontramos una pendiente recta, la misma se encuentra casi horizontal, su corriente de saturación I_{DSSat} ha disminuido drásticamente y sus valores se alejan de los parámetros que se estableció en la tabla 1.

El espesor de óxido depende de la temperatura de horneado, tiempo de oxidación y el dopaje, como se puede apreciar en la tabla 3 y 5 mientras aumenta la temperatura y tiempo de horneado el espesor de óxido crece para ambos métodos.

El voltaje de encendido V_D , es una de las causas por cuanto la figura 3.11, no presenta una linealidad uniforme, al aumentar V_D la curvatura que posee tiende a hacerse lineal.

3.3.1 Triangulación de resultados

Método Seco:

Curvas características I-V:

Se analizaron los parámetros de corriente de saturación I_{DSsat} y voltaje de saturación V_{DSsat} , estos parámetros se encuentran con una mayor magnitud, en todos los casos expuestos en este método, a la vez que se encuentran dentro de los rangos establecidos en la tabla 1.

Voltaje umbral:

Al analizar los valores de voltaje de activación V_{TH} , se puede evidenciar que al aumentar la temperatura y tiempo el valor de este parámetro aumenta, el mismo que requiere de mayor magnitud de voltaje para su activación, pero siempre encontrándose cerca del parámetro establecido en la tabla 1.

Movilidad efectiva:

Anteriormente se expone que la movilidad efectiva disminuye, esto debido al espesor de óxido, la cual posee mejores características y a la cantidad de dopaje que posee.

Método Húmedo

Curva característica I-V:

Las curvas características en el método húmedo denotan una evidente disminución de corriente de saturación I_{DSsat} , y disminución del nivel de V_{DSsat} lo cual no es un distintivo bueno, pues su disminución excesiva se puede conllevar a considerarse al dispositivo no funcional.

Voltaje umbral:

En este método el voltaje de activación requiere mayor magnitud, sumado con el punto anterior donde el V_{DSsat} disminuye, deja al transistor con zonas de trabajo limitadas y la mínima variación puede ocasionar un daño en el mismo.

Movilidad efectiva:

La movilidad de portadores aumenta de manera considerable en este método, pero teniendo en cuenta que el transistor ya posee zonas limitadas, la eficiencia de este parámetro se verá afectada.

CONCLUSIONES

Se diseñó un dispositivo usando el método de oxidación seco, y el método de oxidación húmedo. Mediante diferentes procesos virtuales, se ha obtenido un espesor de óxido bajo la compuerta, obteniendo un mayor crecimiento en el método húmedo.

Basados en el método de extracción de parámetros BSIM4 se modificó parámetros de activación y encendido, para de esta manera poder controlar los de obtención de resultados de voltaje de saturación y voltaje umbral.

Las curvas características entre ambos métodos varían, esto se debe a que el espesor de óxido con la temperatura y tiempo establecido dotan al transistor de una superficie que puede incrementar o disminuir dependiendo del método. Produciendo que el voltaje umbral se establezca en una magnitud mayor cuando el espesor de óxido ha crecido y el efecto contrario cuando disminuye, en una relación directamente proporcional.

No se produce una linealidad de la curva en el método seco, la cual se atribuye al tiempo y temperatura establecida para la creación de espesor de óxido. Se mejoró esta característica aumentando el espesor de óxido.

Mediante el análisis de características eléctricas se realizó una triangulación de resultados donde se realiza la comparación de curvas características, voltaje umbral y movilidad efectiva. Estos resultados denotan una evidente mejora de característica en el método seco, esto por cuanto el voltaje umbral requiere de menor magnitud de voltaje para activarse. El nivel de corriente de saturación y voltaje de saturación es mayor, pero como desventaja la movilidad efectiva es menor en comparación al método húmedo.

Se ha llegado a establecer que el método seco de oxidación dota al transistor de mejores características. Su crecimiento lento produce que el espesor de óxido sea robusto permitiéndole al transistor soportar niveles de voltajes mayores.

RECOMENDACIONES

En futuros trabajo de investigación se debe mejorar la capa de inversión, para lo cual se recomienda experimentar con diferentes tipos de impurezas y aumentar el nivel de energía.

Se recomienda en el proceso de crecimiento del espesor de óxido elevar los valores de temperatura e intentar disminuir el tiempo de horneado. Esto podría contribuir a mejorar las características del espesor óxido en el método húmedo principalmente.

Se recomienda que en próximos estudios se experimente con nuevos materiales de alta permitividad eléctrico como: grafeno, dióxido de hafnio, dióxido de zirconio, oxido de aluminio, esto podría permitir mejorar las características de curvas I-V, voltaje umbral y movilidad efectiva.

BIBLIOGRAFÍA

- Albella, J. M. (1996). *Fundamentos de Electrónica Física y Microelectrónica* (Primera Edición). Madrid: Addison-Wesley Iberoamericana, 1996.
- Artieda, J. P., Trojman, L., Crupi, F., & Ragnarson, L.-A. (2012). Caracterización eléctrica de nano-MOSFETs en tecnología SOI. *Avances en Ciencias e Ingenierías*, 4(2), 96.
<https://doi.org/http://revistas.usfq.edu.ec/index.php/avances/article/view/107>
- Banqueri, J. A., Lopez-Villanueva, J. A., Gámiz, F., Carceller, J. E., Lora-Tamayo, E., & Lozano, M. (1996). A Procedure for the Determination of the Effective Mobility in an N-MOSFET in the moderate Inversion Region. *Solid-State Electronics*, 39(6), 875-883.
<https://doi.org/http://www.sciencedirect.com/science/article/pii/0038110195002464?via%3Dihub>
- Boylestad, R. L., & Nashelsky, L. (2009). *Electronica: Teoría de Circuitos y dispositivos Electronicos*. (Decima). Mexico: PEARSON EDUCACIÓN.
- El Transistor MOSFET. (2014). El Transistor MOSFET [blog]. Recuperado 5 de julio de 2017, a partir de <http://www.diarioelectronicohoy.com/blog/el-transistor-mosfet>
- Exposure and resist coating - Photolithography. (2017, julio 3). [Informativa]. Recuperado 4 de julio de 2017, a partir de <https://www.halbleiter.org/en/photolithography/exposure/>
- Ho, B. (2012). *Evolutionary MOSFET Structure and Channel Design for Nanoscale CMOS Technology*. University of California, Berkeley.
- Hu, C. (2009). *Modern Semiconductor Devices for Integrated Circuits* (Primera Edición). Pearson Educación.
- Huircan, J., & Carrillo, R. A. (2011, 12). Transistor de Efecto de Campo [Archivo PDF]. Recuperado a partir de http://146.83.206.1/~jhuircan/PDF_ELECTRONICA/

International Technology Roadmap for Semiconductors. (1997) (1997.^a ed.).

Semiconductor Industry Association.

International Technology Roadmap for Semiconductors. (2002). INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTOR. Recuperado a partir de <https://classes.soe.ucsc.edu/cmpe202/Fall09/papers/ITRS2002Update.pdf>

Marin, Niño de Zepedia, J. I. (2010, julio). *Estudio comparativo de estrategias de extracción de para metros para modelos compactos de dispositivos MOSFET en escala nanométrica* (Tesis). Universidad de Chile, Chile. Recuperado a partir de http://repositorio.uchile.cl/tesis/uchile/2010/cf-marin_jn/html/index-frames.html

Meseguer, J. M., Olmos S., J. J., Quiles H., J., & Romero C., F. (2003, abril).

Propiedades del germanio y del silicio. Recuperado a partir de http://personales.upv.es/jquiles/prffi/semi/ayuda/propiedades_ge_si.htm

Microsystems Technology Laboratories. (2004, septiembre 27). Oxidation of Si.

Recuperado a partir de http://www-mtl.mit.edu/researchgroups/hackman/6152J/SP_2004/lectures/sp_2005_Lecture05.pdf

Operación, F. D. (2014). FUNDAMENTOS DE OPERACIÓN DEL TRANSISTOR MOS. Universidad Nacional Autónoma de México. Recuperado a partir de <http://www.ptolomeo.unam.mx:8080/xmlui/>

Oxidation [archivo PDF]. (2005). MTL. Recuperado a partir de <http://www-mtl.mit.edu/researchgroups/hackman/6152J/LectureHandouts.html>

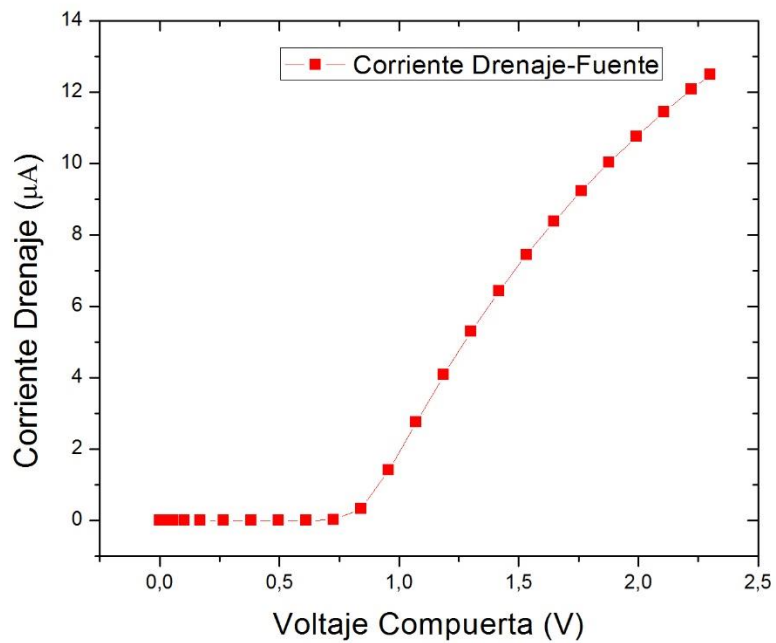
Ozols, A. (2007). Transistor de Efecto de Campo, FET, Metal-Oxido-Semiconductor. Recuperado 30 de junio de 2017, a partir de <http://materias.fi.uba.ar/6205/Material/Apuntes/Transistor%20MOS.pdf>

Pal, A. (2014). Low-Power VLSI Circuits and Systems. En *Low-Power VLSI Circuits and Systems* (Ilustrada, p. 389). Springer.

- Patiño, G. M. S. P. . M. (2017). MOSFET de enriquecimiento Estructura y Operación física de transistores nMOS y pMOS. Recuperado 5 de julio de 2017, a partir de <http://slideplayer.es/slide/6092915/>
- Sadiku, N. O. M. (2010). Elementos de Electromagnetismo. En *Elementos de Electromagnetismo* (Tercera). Mexico: Alfaomega.
- Saint, C., & Saint, J. (2002). *IC Layout Basics : A Practical Guide* (Primera Edición). New York, Chicago: Christopher Saint, Judy Saint.
- Saint, C., & Saint, J. (2002). IC Layout Basics A practical Guide. En *IC Layout Basics A practical Guide* (McGraw-Hi, p. 300). EE.UU.
- Schiavon, M. I. (1997). *Transistores de efecto de campo* (Científico) (p. 34). Argentina: Universida Nacional de Rosario. Recuperado a partir de <http://www.fceia.unr.edu.ar/eca1/Bibliografia.html>
- Sedra, A. S., & Smith, K. C. (2002). *Circuitos Microelectronicos* (Cuarta Edición). Mexico: Oxford University Press México.
- Sentaurus TCAD [Software]. (2011). (Versión 2011) [Centos]. California, Estados Unidos: Synopsys. Recuperado a partir de Synopsys.com
- Shashank, N., Basak, S., & Nahar, R. (2010). Design and Simulation of Nano Scale High-K Based MOSFETs with Poly Silicon and Metal Gate Electrodes. *International Journal of Advancements in Technology*, 1, 252 - 261.
- Sneed, A. (2015). La Ley de Moore sigue válida, desafiando todas las expectativas [Información de desarrollo científico]. Recuperado 28 de mayo de 2017, a partir de <http://www.scientificamerican.com/espanol/noticias/la-ley-de-moore-sigue-valida-desafiando-todas-las-expectativas/>
- Yang Wenwei, M., Mohan V., D., Xuemei, Xi, J., & Hu, C. (2013). *BSIM4v4.8.0 MOSFET Model*. EE.UU: UC Berkeley. Recuperado a partir de <http://ngspice.sourceforge.net/literature.html>

ANEXOS

A1. Corriente de saturación I_{DSS} y movilidad efectiva en método seco



Tiempo 9 s y 900°C de Horneado.

Movilidad efectiva

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ }\mu\text{m}$$

$$C_{ox} = 0,00623 \frac{\text{F}}{\text{m}^2}$$

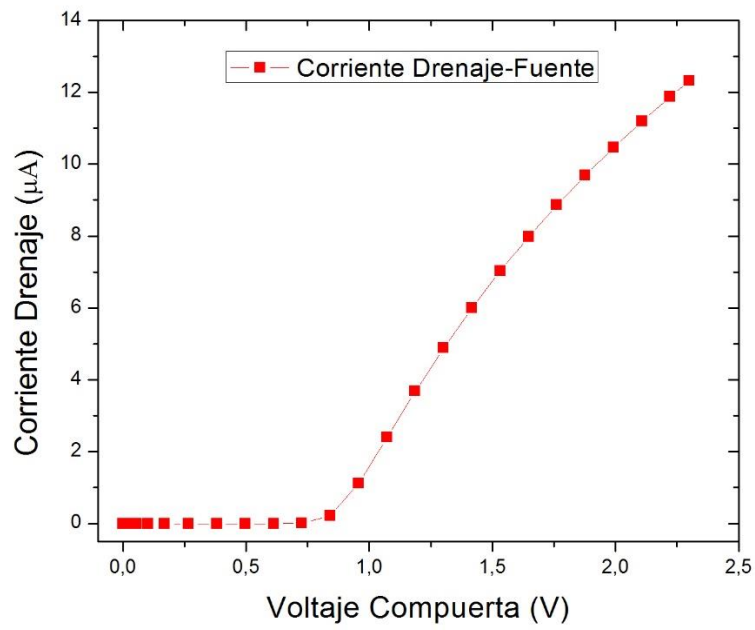
$$V_{GS} = 2,3 \text{ V}$$

$$V_{TH} = 0,852 \text{ V}$$

$$I_{DS} = 12,5 \text{ }\mu\text{A}$$

$$V_{DS} = 0,01 \text{ V}$$

$$\mu_{eff} = 0,0277 \frac{\text{m}^2}{\text{Vs}}$$



Tiempo 10 s y 900°C de Horneado

Movilidad efectiva

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ } \mu m$$

$$C_{ox} = 0,0058 \frac{F}{m^2}$$

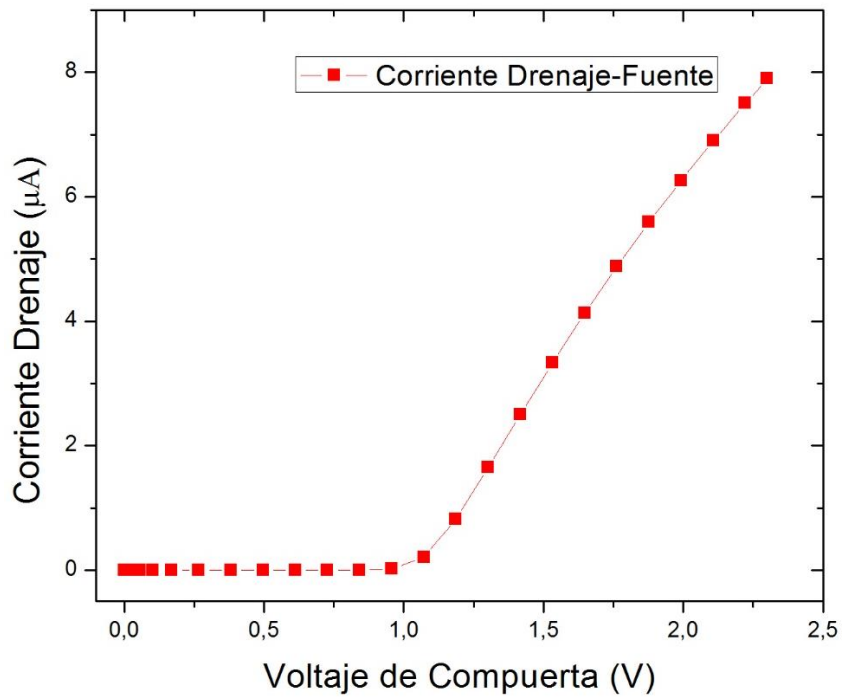
$$V_{GS} = 2,3 \text{ V}$$

$$V_{TH} = 0,858 \text{ V}$$

$$I_{DS} = 12,3 \text{ } \mu A$$

$$V_{DS} = 0,01 \text{ V}$$

$$\mu_{eff} = 0,0295 \frac{m^2}{Vs}$$



Tiempo 9 s y 950°C de Horneado.

Movilidad efectiva

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ } \mu\text{m}$$

$$C_{ox} = 0,00354 \frac{F}{m^2}$$

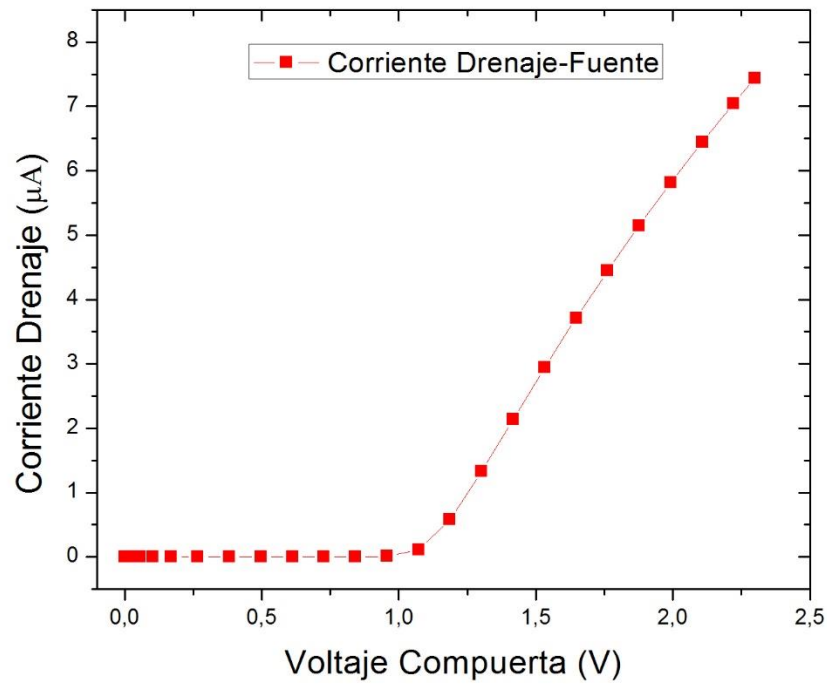
$$V_{GS} = 2,3 \text{ V}$$

$$V_{TH} = 1,08 \text{ V}$$

$$I_{DS} = 7,89 \text{ } \mu\text{A}$$

$$V_{DS} = 0,01 \text{ V}$$

$$\mu_{eff} = 0,0366 \frac{m^2}{Vs}$$



Tiempo 10 s y 950°C de Horneado

Movilidad efectiva

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ } \mu m$$

$$C_{ox} = 0,00333 \frac{F}{m^2}$$

$$V_{GS} = 2,3 \text{ V}$$

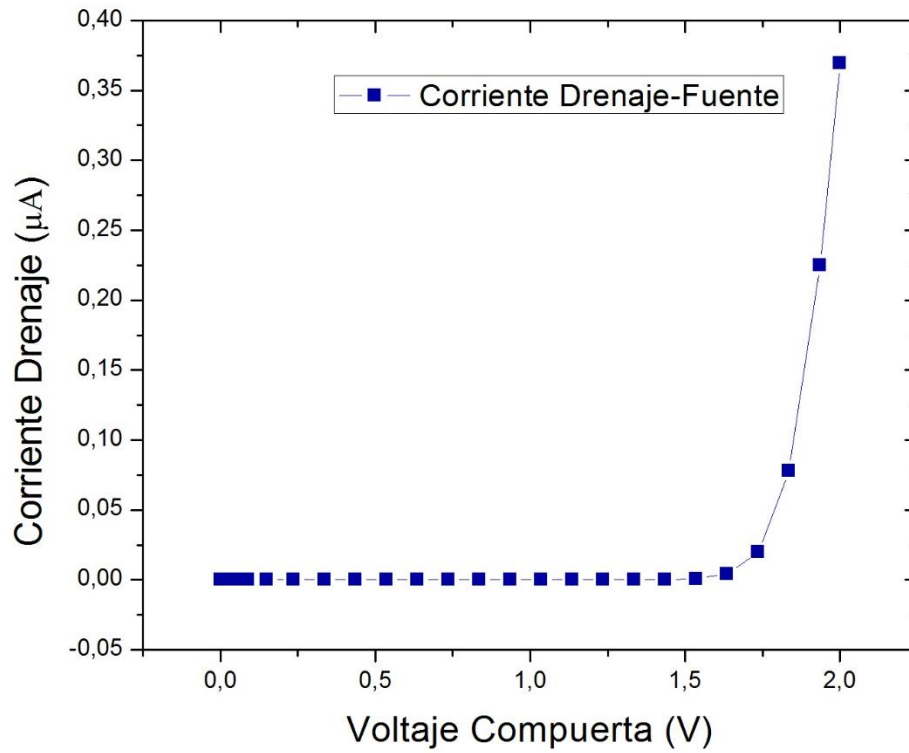
$$V_{TH} = 1,08 \text{ V}$$

$$I_{DS} = 7,44 \text{ } \mu A$$

$$V_{DS} = 0,01 \text{ V}$$

$$\mu_{eff} = 0,0377 \frac{m^2}{Vs}$$

A2. Corriente de saturación I_{DSSat} y movilidad efectiva en método húmedo



Tiempo 9s y 900°C de Horneado

Movilidad efectiva

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ } \mu\text{m}$$

$$C_{ox} = 0,00132 \frac{F}{m^2}$$

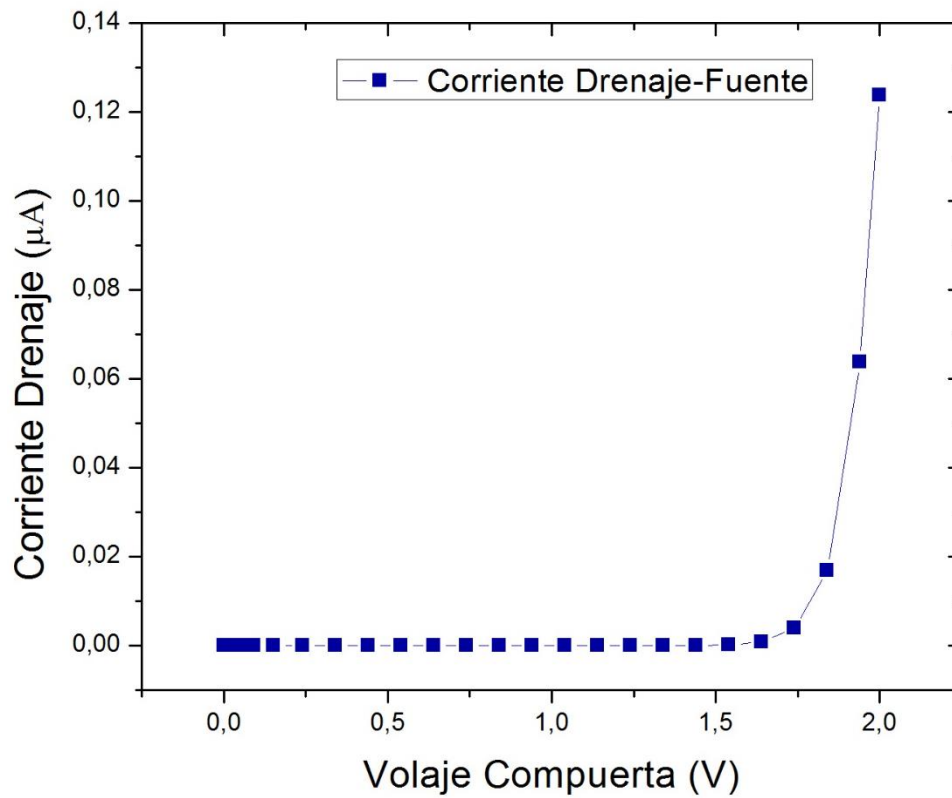
$$V_{GS} = 2 \text{ V}$$

$$V_{TH} = 1,84 \text{ V}$$

$$I_{DS} = 0,3695 \text{ } \mu\text{A}$$

$$V_{DS} = 0,01 \text{ V}$$

$$\mu_{eff} = 0,0339 \frac{m^2}{Vs}$$



Tiempo 10s y 900°C de Horneado

Movilidad efectiva

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ }\mu\text{m}$$

$$C_{ox} = 0,000124 \frac{F}{m^2}$$

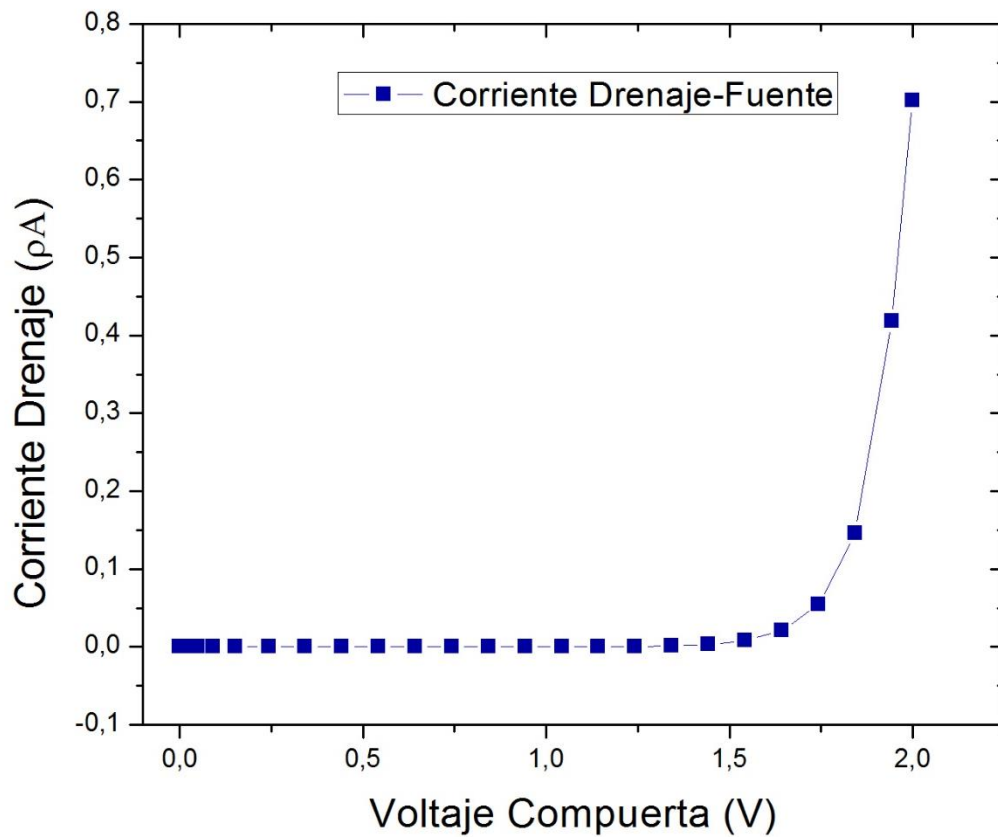
$$V_{GS} = 2 \text{ V}$$

$$V_{TH} = 1,88 \text{ V}$$

$$I_{DS} = 0,1237 \text{ }\mu\text{A}$$

$$V_{DS} = 0,01 \text{ V}$$

$$\mu_{eff} = 0,0169 \frac{m^2}{Vs}$$



Tiempo 9s y 950°C de Horneado

Movilidad efectiva

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ }\mu\text{m}$$

$$C_{ox} = 0,000625 \frac{F}{m^2}$$

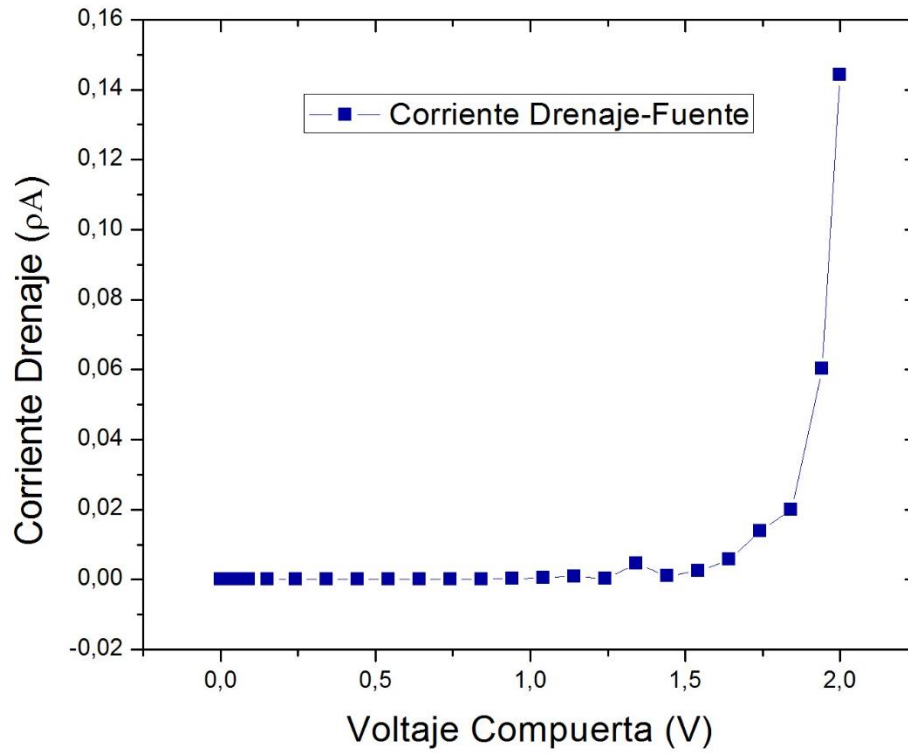
$$V_{GS} = 2,3 \text{ V}$$

$$V_{TH} = 1,86 \text{ V}$$

$$I_{DS} = 0,7012 \text{ pA}$$

$$V_{DS} = 0,01 \text{ V}$$

$$\mu_{eff} = 0,158 \times 10^{-6} \frac{m^2}{Vs}$$



Tiempo 10s y 950°C de Horneado

Movilidad efectiva

$$L_{eff} = 200 \text{ nm}$$

$$W_{eff} = 1 \text{ }\mu\text{m}$$

$$C_{ox} = 0,00333 \frac{F}{m^2}$$

$$V_{GS} = 2,3 \text{ V}$$

$$V_{TH} = 1,90 \text{ V}$$

$$I_{DS} = 0,0144 \text{ pA}$$

$$V_{DS} = 0,01 \text{ V}$$

$$\mu_{eff} = 0,0518 \times 10^{-6} \frac{m^2}{Vs}$$